

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0170A/J	Rev.	第1版
題名	記載内容の修正		情報分類	技術情報	
適用製品	RA8P1 グループ RA8T2 グループ RA8M2 グループ RA8D2 グループ	対象ロット等 すべて	関連資料	この資料の最後の表を参照願います。	

この文書は、RA8P1 グループ、RA8D2 グループ、RA8M2 グループ、および RA8T2 グループ ユーザーズマニュアル ハードウェア Rev1.20 の訂正について説明しています。各章には、修正箇所に対する各製品の該当番号とページ番号が記載されています。

目次

1. 表 1.15 機能の比較 (1/2)の訂正	4
2. 図 5.2 標準製品用1 MB MRAM 製品の訂正	4
3. 7.2.18 HOEMRTRKn : OEM_ROOT_PKn のハッシュ (n = 0~3)の訂正	5
4. 表 9.6 システムクロック初期設定手順の例 (リセット解除後/ディープソフトウェアスタンバイ解除後) (1/2) の訂正 6	6
5. 表 9.7 使用中のシステムクロック周波数を高速化する際の設定手順例の訂正	8
6. 表 9.8 使用中のシステムクロック周波数を低速化する際の設定手順例の訂正	10
7. 11.6.2.2 ソフトウェアスタンバイモードの解除の訂正	12
8. 11.6.3.2 ディープソフトウェアスタンバイモードの解除の訂正	12
9. 表 14.5 イベントリスト (9/14)の訂正 (RA8T2除く)	12
10.表 15.3 各スレーブに割り当てられたアドレス (2/2)の訂正	13
11.16.3.1.17 MMPUEMIPICn : VIN を介したMIPI-CSI 用MMPU 終了アドレスレジスタ (n = 0~2) の訂正 (RA8P1/RA8D2)	13
12.16.3.1.18 MMPUENPU _n : NPU 用MMPU 終了アドレスレジスタ (n = 0~4)の訂正 (RA8P1 only)	14
13.表 20.3 ELSR _n .ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (6/9)の訂正	14
14.表 21.9 入出力端子機能のレジスタ設定 (PORT2) (2/2)の訂正	14
15.表20.19 入出力端子機能のレジスタ設定 (PORTC)の訂正 (RA8T2 only).....	15
16.30.4.2 注意事項の訂正	15
17.6.3.2.3 PTPTIVCt : タイマt インクリメント値コンフィグレーションレジスタ (t = 0, 1)の訂正	16
18.45.2.1.4 CMCFG0CSn : OSPI コマンドマップコンフィグレーションレジスタ0 CSn (n = 0, 1)の訂正	17
19.45.2.1.7 LIOCFGCSn : OSPI リンク入出力コンフィグレーションレジスタCSn (n = 0, 1)の訂正	18
20.45.2.2.22 RACTL : OSPI レジスタアクセスコントロールレジスタの追加	19
21.45.2.2.23 MER : OSPIマップ終了置換レジスタの追加	20

22.45.4 SiP 製品の構成の訂正.....	21
23.45.5.4 メモリ書き込み結合モードの訂正.....	22
24.47.2.1 SSICR：コントロールレジスタの設定の訂正(RA8T2を除く).....	23
25.表 50.5 保証されるクロック周波数とクロックモードの訂正 (Excluding RA8T2).....	24
26.50.3.1.1 出力サンプリング周波数の追加 (Excluding RA8T2).....	24
27.表 50.7 Sinc フィルタ出力のクリッピングの訂正(Excluding RA8T2).....	25
28.表 60.1 MRAM の仕様 (1/2)の訂正.....	31
29.60.5.2 MRCFREQ：コードMRAM 周波数通知レジスタの訂正.....	31
30.60.5.3 MREFREQ：エクストラMRAM 周波数通知レジスタの訂正.....	32
31.表 60.16 コンフィグレーション設定コマンドが使用するアドレスの訂正.....	32
32.60.7.4.9 カウンタインクリメントコマンドの訂正.....	32
33.表 60.36 エラープロテクション種別 (1/2)の訂正.....	33
34.60.13.2 パラレルアクセス可能性の訂正.....	33
35.表 70.2 推奨動作条件の訂正.....	33
36.表 70.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部VDD モード) の訂正 (RA8P1 only).....	35
37.表 69.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部VDD モード) の訂正 (RA8D2 only).....	37
38.表 62.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部VDD モード) (1/2)の訂正 (RA8M2 only).....	39
39.表 62.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部VDD モード) の訂正 (2/2) (RA8M2 only).....	41
40.表 60.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部VDD モード) (1/2)の訂正 (RA8T2 only).....	43
41.表 60.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部VDD モード) (2/2)の訂正 (RA8T2 only).....	45
42.表 70.47 サブクロック発振器以外のクロックタイミング (2/2)の訂正 (RA8P1/RA8D2).....	47
43.表 70.47 サブクロック発振器以外のクロックタイミング (2/2)の訂正 (RA8M2/RA8T2).....	47
44.表 70.49 リセットタイミングの訂正.....	48
45.表 70.50 低消費電力モードからの復帰タイミングの訂正.....	48
46.表 70.62 OSPI タイミング (5/6)の訂正.....	48
47.表 70.62 OSPI タイミング (9 of 9)の追加.....	49
48.図 70.85 DDR 送受信タイミング (4S-4D-4D、8D-8D-8D) の訂正.....	50
49.表 70.77 PDG タイミングの訂正.....	51
50.表 70.93 HS-RX 特性の訂正 (RA8P1/RA8D2).....	51
51.表 70.112 TSN 特性の訂正.....	52
52.表 70.114 サブクロック発振器停止検出回路の特性の訂正.....	53
53.表 70.115 パワーオンリセット回路と電圧検出回路の特性 (1/2)の訂正.....	54
54.図 70.141 パワーオンリセットタイミングの訂正.....	54
55.図 70.142 電圧検出回路タイミング (Vdet0)の訂正.....	55
56.図 70.143 電圧検出回路タイミング (Vdetn) (n = 1, 2, 4, 5)の訂正.....	55

57.表 70.121 コードMRAM 特性の訂正.....	57
58.表 70.122 エクストラMRAM (MRAM 領域) 特性の訂正	58
59.表 70.125 MACI コマンド特性の訂正.....	60

1. 表 1.15 機能の比較 (1/2)の訂正

CPU クロックソースの LOCO を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
概要	表 1.15	95	表 1.14	94	表 1.14	84	表 1.13	81

訂正前

型名	R7KA8P1AxxCAC to R7JA81KxxSAJ	
システム	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, LOCO , PLL1P

訂正後

型名	R7KA8P1AxxCAC to R7JA81KxxSAJ	
システム	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, PLL1P

2. 図 5.2 標準製品用 1 MB MRAM 製品の訂正

CPU0 と CPU1 の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
アドレス空間	図 5.2	258	図 5.2	257	図 5.2	243	図 5.2	239

訂正前

- 注 2. セキュア用の CPU0-ITCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
- 注 3. セキュア用の CPU0-DTCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
- 注 4. セキュア用の CPU1-CTCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
- 注 5. セキュア用の CPU1-STCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
- 注 6. 非セキュア用の CPU0-ITCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
- 注 7. 非セキュア用の CPU0-DTCM は、CPU0 と他のバスマスタに対して異なるアドレスとなります。
- 注 8. 非セキュア用の CPU1-CTCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。
- 注 9. 非セキュア用の CPU1-STCM は、CPU1 と他のバスマスタに対して異なるアドレスとなります。

訂正後

- 注 2. セキュア用の CPU0-ITCM は、**CPU1** と他のバスマスタに対して異なるアドレスとなります。
- 注 3. セキュア用の CPU0-DTCM は、**CPU1** と他のバスマスタに対して異なるアドレスとなります。
- 注 4. セキュア用の CPU1-CTCM は、**CPU0** と他のバスマスタに対して異なるアドレスとなります。
- 注 5. セキュア用の CPU1-STCM は、**CPU0** と他のバスマスタに対して異なるアドレスとなります。
- 注 6. 非セキュア用の CPU0-ITCM は、**CPU1** と他のバスマスタに対して異なるアドレスとなります。
- 注 7. 非セキュア用の CPU0-DTCM は、**CPU1** と他のバスマスタに対して異なるアドレスとなります。
- 注 8. 非セキュア用の CPU1-CTCM は、**CPU0** と他のバスマスタに対して異なるアドレスとなります。
- 注 9. 非セキュア用の CPU1-STCM は、**CPU0** と他のバスマスタに対して異なるアドレスとなります。

3. 7.2.18 HOEMRTRKn : OEM_ROOT_PKn のハッシュ (n = 0~3)の訂正

アドレスの誤記を修正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オプション設定 メモリ	7.2.18	314	7.2.18	312	7.2.18	298	7.2.18	294

訂正前

Address:

HOEMRTPK0: 0x02E0_7400 +0x4 × i (i = 0 to 12)

HOEMRTPK1: 0x02E0_7430 +0x4 × i (i = 0 to 12)

HOEMRTPK1: 0x02E0_7460 +0x4 × i (i = 0 to 12)

HOEMRTPK3: 0x02E0_7490 +0x4 × i (i = 0 to 12)

訂正後

Address:

HOEMRTPK0: 0x02E0_7400 +0x4 × i (i = 0 to **11**)

HOEMRTPK1: 0x02E0_7430 +0x4 × i (i = 0 to **11**)

HOEMRTPK**2**: 0x02E0_7460 +0x4 × i (i = 0 to **11**)

HOEMRTPK3: 0x02E0_7490 +0x4 × i (i = 0 to **11**)

4. 表 9.6 システムクロック初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）（1/2）の訂正

電圧スケーリング設定を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
クロック発生回路	表 9.6	428	表 9.6	427	表 9.6	411	表 9.6	408

訂正前

番号	手順	説明
6	内部クロック分周比設定	SCKDIVCR レジスタと SCKDIVCR2 レジスタで、内部クロック分周比を設定します。
.	.	.
.	.	.
11	終了	システムクロック設定は完了です。

システムクロックソースとして PLL1 を選択した場合、手順 8 で、さらに手順を行う必要があります。この追加手順については、図 9.14 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

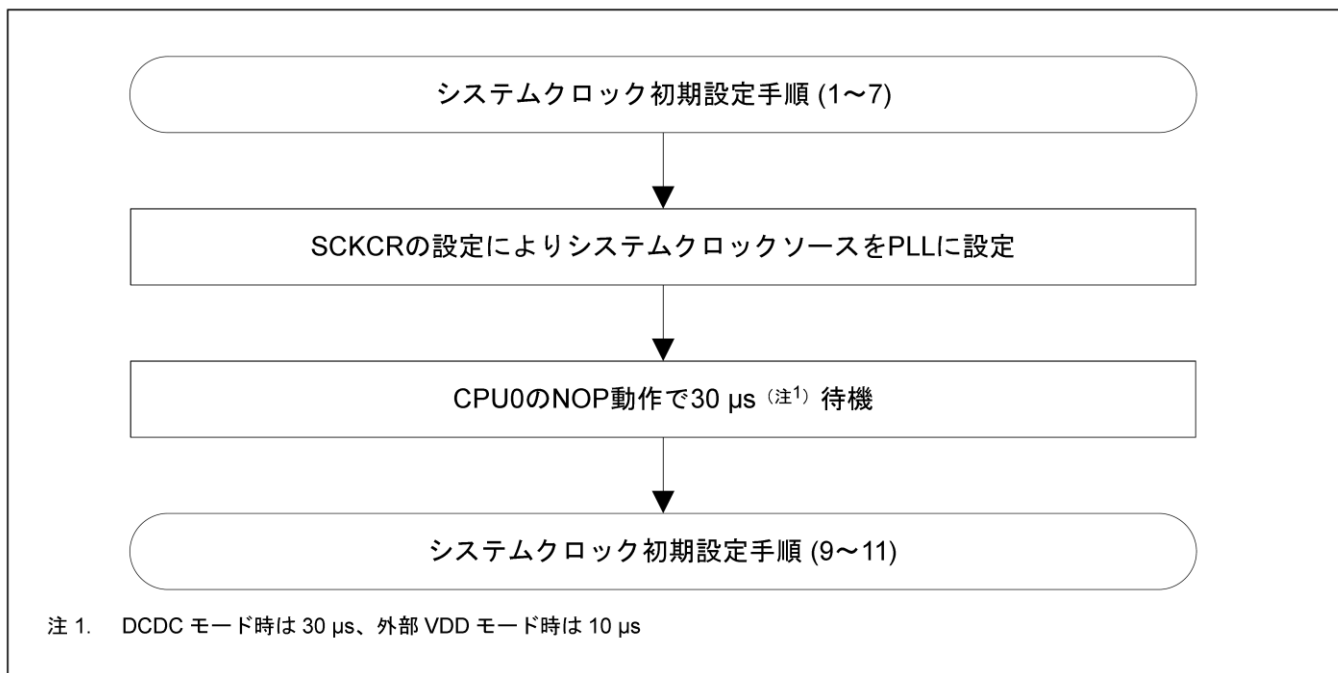


図 9.14 システムクロック初期設定の追加フロー（モジュールストップビットはすべて初期値である想定で、システムクロックソースとして PLL を使用する場合）

訂正後

番号.	手順	説明
6	電圧スケーリング設定	システムクロック切り替え後、各クロックの周波数に応じて適切な VDD 目標電圧を設定してください。詳細は、セクション 11「低消費電力モード」を参照してください。
7	内部クロック分周比設定	SCKDIVCR レジスタと SCKDIVCR2 レジスタで、内部クロック分周比を設定します。
.	.	.
.	.	.
12	終了	システムクロック設定は完了です。

システムクロックソースとして PLL1 を選択した場合、手順 9 で、さらに手順を行う必要があります。この追加手順については、図 9.14 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

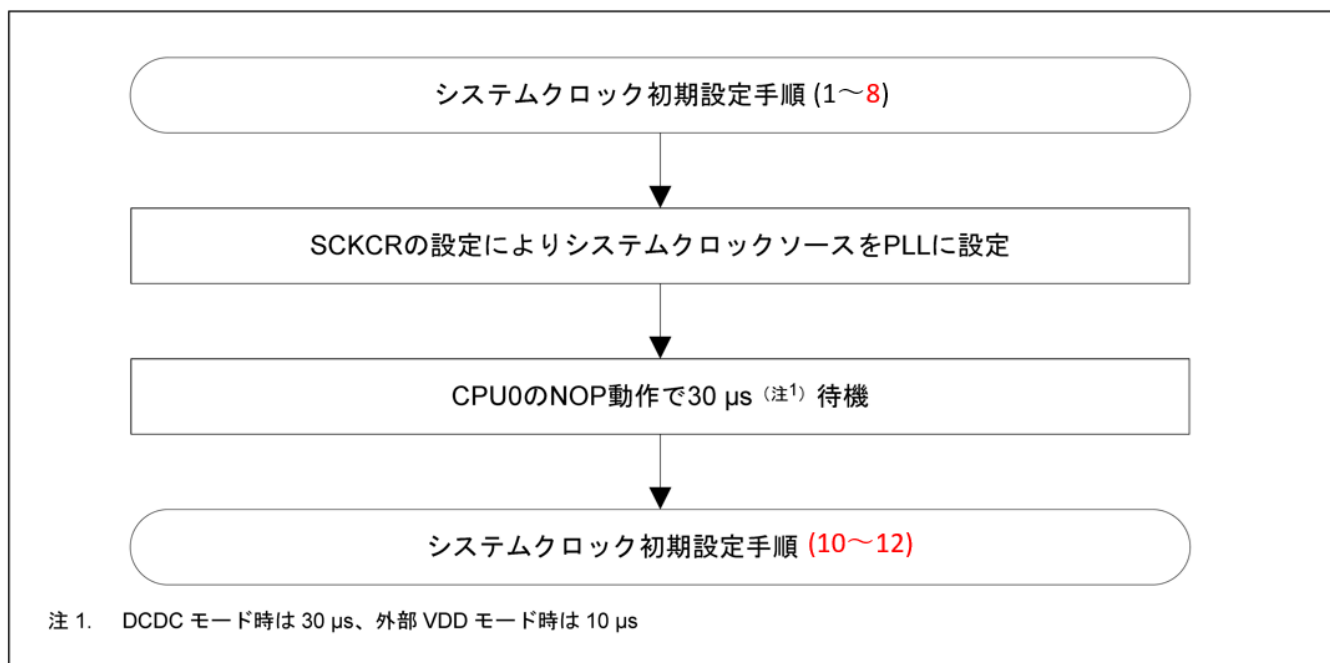


図 9.14 システムクロック初期設定の追加フロー（モジュールストップビットはすべて初期値である想定で、システムクロックソースとして PLL を使用する場合）

5. 表 9.7 使用中のシステムクロック周波数を高速化する際の設定手順例の訂正

電圧スケーリング設定を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
クロック発生回路	表 9.7	430	表 9.7	428	表 9.7	412	表 9.7	409

訂正前

No.	Step	Description
6	内部クロック分周比設定	SCKDIVCR レジスタと SCKDIVCR2 レジスタで、内部クロック分周比を設定します。
7	システムクロックソース切り替え ^(注3)	SCKCR レジスタで、システムクロックソースを切り替えます。クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
8	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
11	終了	システムクロックの周波数は速くなります。

システムクロックソースとして PLL1 を選択した場合、手順 7 で、さらに手順を行う必要があります。この追加手順については、図 9.15 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

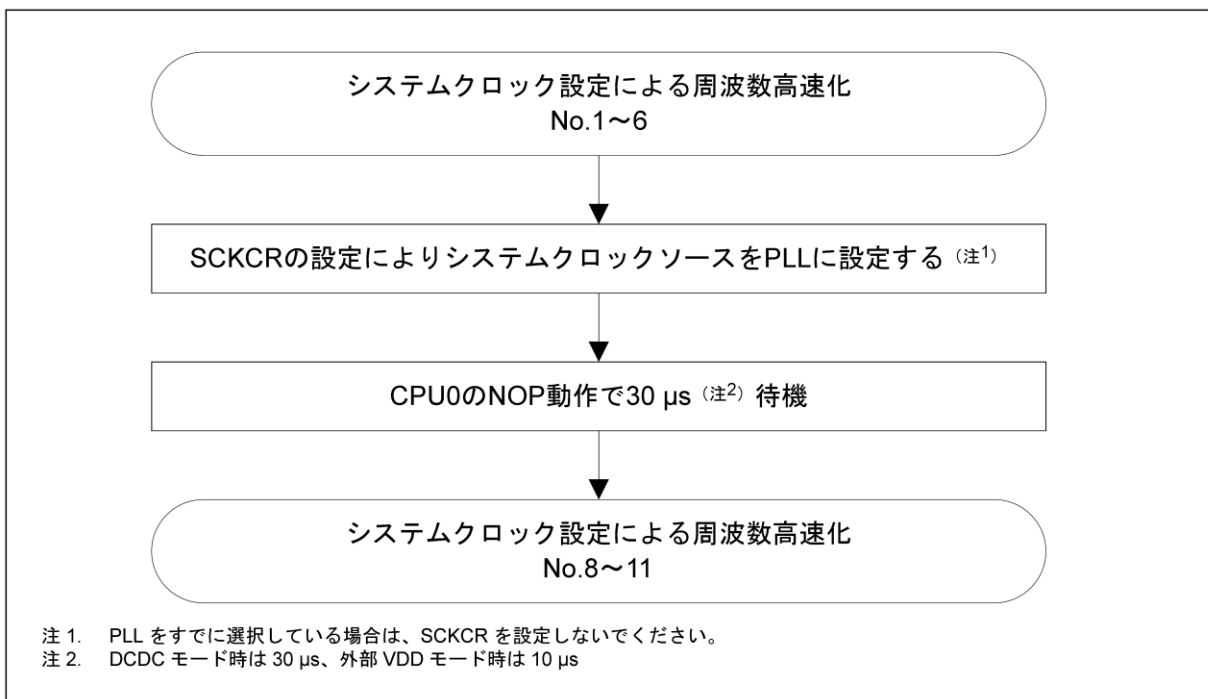


図 9.15 システムクロック設定の追加フロー (システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を高速化する場合)

訂正後

No.	Step	Description
6	電圧スケーリング設定	システムクロック切り替え後、各クロックの周波数に応じて適切な VDD 目標電圧を設定してください。詳細は、セクション 11「低消費電力モード」を参照してください。
7	システムクロックソース切り替え ^(注3)	SCKCR レジスタで、システムクロックソースを切り替えます。クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
8	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
9	レジスタ書き込み保護適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
10	終了	システムクロックの周波数は速くなります。
11	システムクロックソース切り替え ^(注3)	SCKCR レジスタで、システムクロックソースを切り替えます。クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。

システムクロックソースとして PLL1 を選択した場合、手順 7 で、さらに手順を行う必要があります。この追加手順については、図 9.15 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

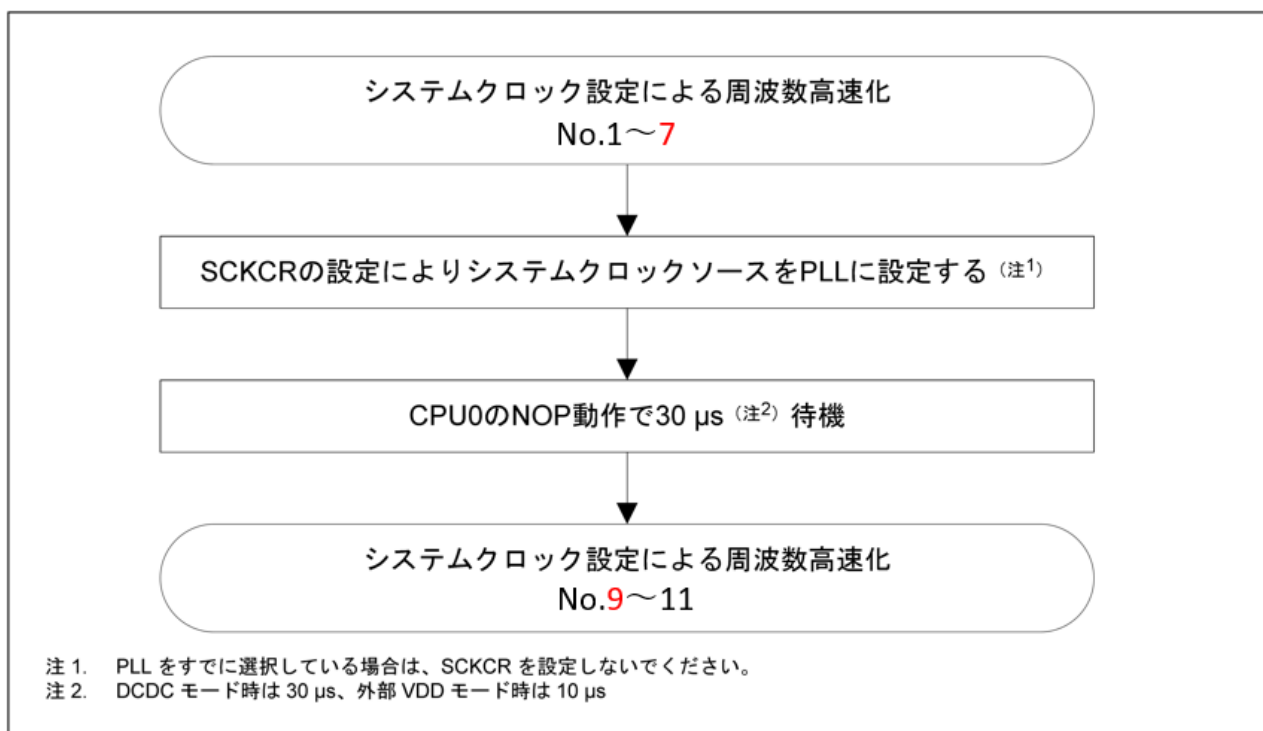


図 9.15 システムクロック設定の追加フロー (システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を高速化する場合)

6. 表 9.8 使用中のシステムクロック周波数を低速化する際の設定手順例の訂正

電圧スケーリング設定を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
クロック発生回路	表 9.8	431	表 9.8	429	表 9.8	413	表 9.8	410

訂正前

No.	Step	Description
8	MRAM および SRAM ウェイトサイクル設定	システムクロック (ICLK)、MRICKL、および MRPCLK を設定後、動作周波数に応じて MRAM および SRAM の適切なアクセスウェイト数を設定します。 詳細は、「60. MRAM」および「59. SRAM」を参照してください。
.	.	.
.	.	.
11	終了	システムクロックの周波数は低くなります。

システムクロックソースとして PLL1 を選択した場合、手順 5 の前にさらに手順を行う必要があります。この追加手順については、図 9.16 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

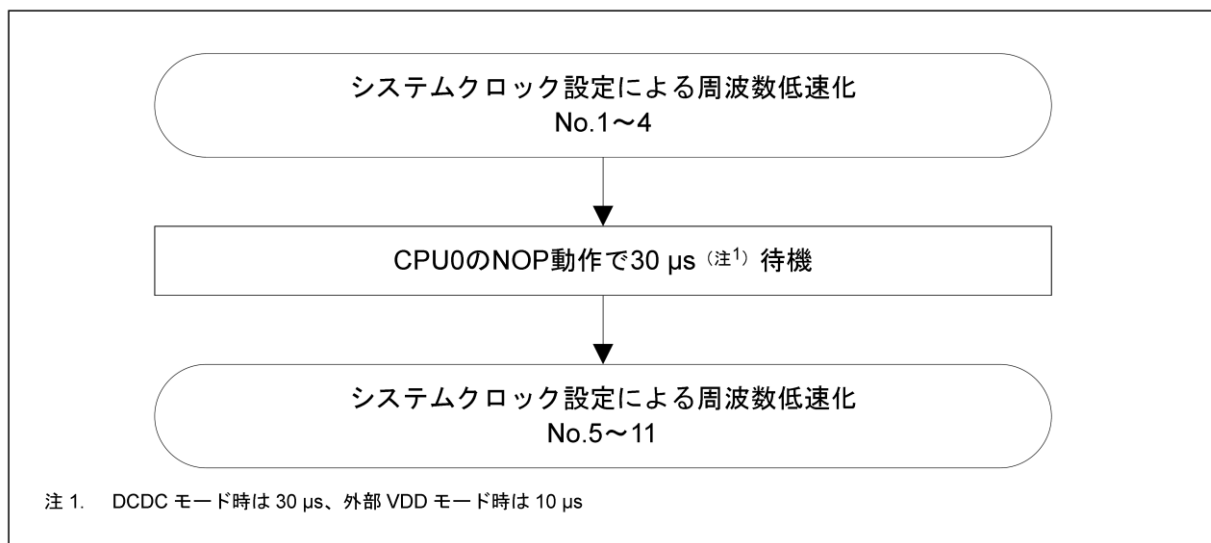


図 9.16 システムクロック設定の追加フロー (システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を低速化する場合)

訂正後

No.	Step	Description
8	電圧スケーリング設定	システムクロック切り替え後、各クロックの周波数に応じて適切な VDD 目標電圧を設定してください。詳細は、セクション 11「低消費電力モード」を参照してください。
9	MRAM および SRAM ウェイトサイクル設定	システムクロック (ICLK)、MRICLK、および MRPCLK を設定後、動作周波数に応じて MRAM および SRAM の適切なアクセスウェイト数を設定します。 詳細は、「60. MRAM」および「59. SRAM」を参照してください。
.	.	.
.	.	.
12	終了	システムクロックの周波数は低くなります。

システムクロックソースを切り替える前に、システムクロックソースとして PLL1 を選択した場合、手順 5 の前にさらに手順を行う必要があります。この追加手順については、図 9.16 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。

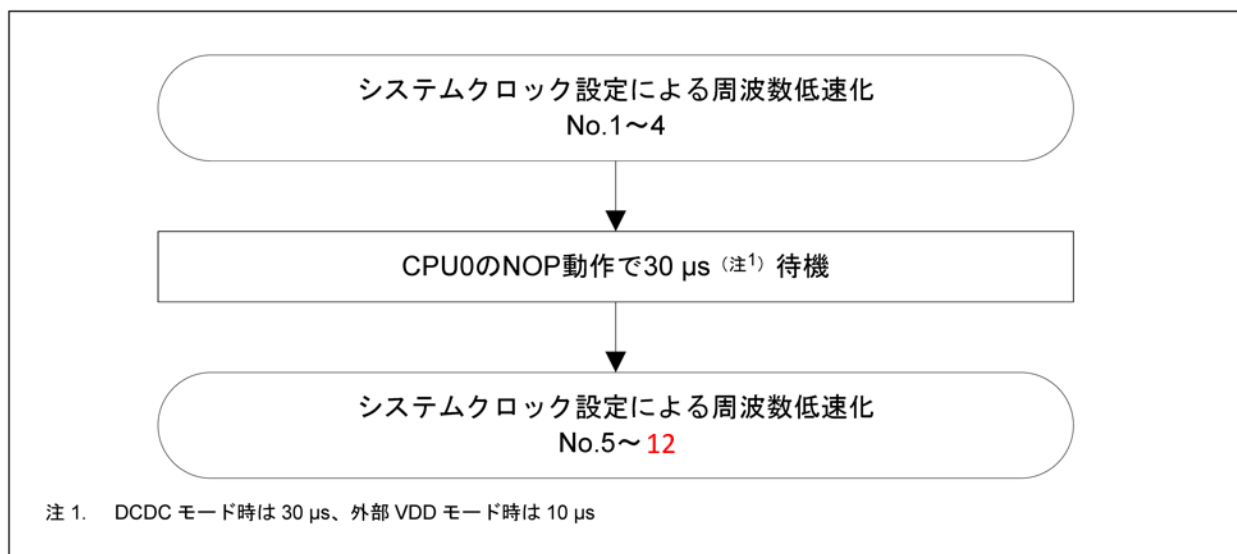


図 9.16 システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK0 として PLL を使用し周波数を低速化する場合）

7. 11.6.2.2 ソフトウェアスタンバイモードの解除の訂正

以下の文書を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
低消費電力モード	11.6.2.2	505	11.6.2.2	502	11.6.2.2	485	11.6.2.2	482

7. 温度監視リセットによる解除

ソフトウェアスタンバイモードは温度監視リセットによって解除され、MCU はリセット例外処理を開始します。

8. 11.6.3.2 ディープソフトウェアスタンバイモードの解除の訂正

以下の文書を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
低消費電力モード	11.6.3.2	507	11.6.3.2	504	11.6.3.2	487	11.6.3.2	484

7. 温度監視リセットによる解除

ソフトウェアスタンバイモードは温度監視リセットによって解除され、MCU はリセット例外処理を開始します。

9. 表 14.5 イベントリスト (9/14)の訂正 (RA8T2 除く)

表 14.5 イベントリスト (9/14)の CPU ディープスリープモードの解除の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
割り込みコントローラユニット (ICU)	表 14.5	592	表 14.5	587	表 14.5	570	—	—

訂正前

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x2C1	USBHS	USBHS_D0FIFO	✓	✓	✓	—	—	—
0x2C2		USBHS_D1FIFO	✓	✓	✓	—	—	—

訂正後

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	Invoke DMAC			
0x2C1	USBHS	USBHS_D0FIFO	✓	✓	✓	✓	—	—
0x2C2		USBHS_D1FIFO	✓	✓	✓	✓	—	—

10. 表 15.3 各スレーブに割り当てられたアドレス (2/2)の訂正

SIP フラッシュ用 OSPI の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
バス	表 15.3	614	表 15.3	584	表 15.3	591	表 15.3	589

訂正前

領域	アドレス	バスインタフェース	領域
外部 RAM	0x7000_0000 to 0x7FFF_FFFF	OSPI1BI ^(注1)	SIP フラッシュ用 OSPI

注 1. SIP フラッシュのない製品にはアクセスできますが、SIP フラッシュのある製品にはアクセスできません。

訂正後

領域	アドレス	バスインタフェース	領域
外部 RAM	0x7000_0000 to 0x7FFF_FFFF	OSPI1BI ^(注1)	OSPI (DOTF 経由)

注 1. SIP フラッシュのない製品にはアクセスできますが、SIP フラッシュのある製品にはアクセスできません。

11. 16.3.1.17 MMPUEMIPICn : VIN を介した MIPI-CSI 用 MMPU 終了アドレスレジスタ (n = 0~2) の訂正(RA8P1/RA8D2)

ビット 11 から 0 の初期値を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
メモリプロテクションユニット (MPU)	16.3.1.17	732	16.3.1.16	609	—	—	—	—

訂正前

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 (bit 11 to 0)

訂正後

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 (bit 11 to 0)

12. 16.3.1.18 MMPUENPUn：NPU 用 MMPU 終了アドレスレジスタ (n = 0~4)の訂正 (RA8P1 only)

ビット 11 から 0 の初期値を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
メモリプロテクションユニット (MPU)	16.3.1.18	732	—	—	—	—	—	—

訂正前

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 (bit 11 to 0)

訂正後

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 (bit 11 to 0)

13. 表 20.3 ELSRn.ELS[9:0]ビットに設定するイベント信号名と信号番号の対応 (6/9)の訂正

RSW2 を ESWM に訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
イベントリンクコントローラ (ELC)	表 20.3	863	表 19.3	852	表 19.3	816	表 19.3	809

訂正前

RWS2

訂正後

ESWM

14. 表 21.9 入出力端子機能のレジスタ設定 (PORT2) (2/2)の訂正

P201 の駆動動力制御の誤記を以下のように訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
I/O ポート	表 21.9	894	表 20.9	883	表 20.9	846	表 20.9	839

訂正前

PSEL[4:0] 設定値	機能	Pin P201
DSCR[1:0] ビット	駆動能力制御	L ^(注 3)

注 3. このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御することはできません。

訂正後

PSEL[4:0] 設定値	機能	Pin P201
DSCR[1:0] ビット	駆動能力制御	L ^(注 3)

注 3. このポートの駆動強度は PmnPFS.DSCR[1:0]ビットによって制御されます。PmnPFS.DSCR[1:0]ビットを Low Drive (00b) に設定してください。

15. 表 20.19 入出力端子機能のレジスタ設定 (PORTC)の訂正 (RA8T2 only)

PC15 に記載漏れした CRX1 を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
I/O ポート	—	—	—	—	—	—	表 20.19	848

PSEL[4:0] 設定値	機能	Pin PC15
10000b	CANFD	CRX1

16. 30.4.2 注意事項の訂正

注意事項の内容を修正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
レイヤ3 イーサネットスイッチモジュール (ESWM)	30.4.2	1355	29.4.2	1344	29.4.2	1306	29.4.2	1299

訂正前

選択			定義	
ローカル RAM の容量 ^(注1)	Clk ^(注1)	内部帯域幅	イーサネットおよび CPU の合計帯域幅	スループット (Ether2Ether)
512 KB	320 MHz	40.9 Gbps	最大 1G bps (Exp 100M Ether 3 ポート + 100M CPU 2 ポート) × TX/RX	800 to 1000 ns
512 KB	320 MHz	40.9 Gbps	最大 10G bps (Exp 1G Ether 3 ポート + 1G CPU 2 ポート) × TX/RX	400 to 500 ns
512 KB	320 MHz	40.9 Gbps	最大 25G bps (Exp 2.5G Ether 3 ポート + 2.5G CPU 2 ポート) × TX/RX	300 to 500 ns
512 KB	400 MHz	51.2 Gbps	最大 25G bps (Exp 2.5G Ether 3 ポート + 2.5G CPU 2 ポート) × TX/RX	300 to 500 ns

注. フレーム終了 (転送送信元ポート) からフレーム開始 (転送宛先ポート)。測定時にフレームのパイロード長への依存はありません。

注. フレーム開始 (転送宛先ポート) は、プリアンプルの出力が開始されるポイントまでです。

注 1. これらを下回る仕様は禁止されています。

スループット測定条件：

- フレーム終了 (転送送信元ポート) からフレーム開始 (転送宛先ポート)
- 転送 (宛先ポート) がビジーではない
- L2 転送ユニキャスト (1 : 1 転送)。

訂正後

選択			定義	
ローカル RAM の容量 ^(注1)	Clk ^(注1)	内部帯域幅	イーサネットおよび CPU の合計帯域幅	スループット (Ether2Ether)
64 KB	250 MHz	32 Gbps	最大 1G bps (Exp 100M Ether 2 port + 100M CPU 1 ポート) × TX/RX	800 to 2000 ns
64 KB	50 MHz	6.4 Gbps	最大 1G bps (Exp 100M Ether 2 port + 100M CPU 1 ポート) × TX/RX	2000 to 6000 ns
64 KB	250 MHz	32 Gbps	最大 3G bps (Exp 1G Ether 2 port + 1G CPU 1 ポート) × TX/RX	400 to 600 ns
64 KB	150 MHz	19.2 Gbps	最大 3G bps (Exp 1G Ether 2 port + 1G CPU 1 ポート) × TX/RX	500 to 800 ns

注. フレーム終了（転送送信元ポート）からフレーム開始（転送宛先ポート）。測定時にフレームのペイロード長への依存はありません。

注. フレーム開始（転送宛先ポート）は、プリアンブルの出力が開始されるポイントまでです。

注 1. これらを下回る仕様は禁止されています。

スループット測定条件：

- フレーム終了（転送送信元ポート）からフレーム開始（転送宛先ポート）
- 転送（宛先ポート）がビジーではない
- L2 転送ユニキャスト（1：1 転送）

17. 6.3.2.3 PTPTIVCt： タイマ t インクリメント値コンフィグレーションレジスタ (t = 0, 1)の訂正

例の誤記を修正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
イーサネット 汎用 PTP タ イマ (GPTP)	36.3.2.3	1982	35.3.2.3	1971	35.3.2.3	1933	35.3.2.3	1926

訂正前

[例]

- clk クロック周波数が 50 MHz、100 MHz、200 MHz、320 MHz、または 400 MHz の場合、PTPTIVCt.TIV をそれぞれ約 0xA000_0000、0x5000_0000、0x2800_0000、0x1900_0000、または 0x1400_0000 の値に設定する必要があります。

訂正後

[例]

- clk クロック周波数が 50 MHz、100 MHz、200 MHz、**または 250 MHz** の場合、PTPTIVCt.TIV をそれぞれ約 0xA000_0000、0x5000_0000、0x2800_0000、**または 0x2000_0000** の値に設定する必要があります。

18. 45.2.1.4 CMCFG0CSn : OSPI コマンドマップコンフィグレーションレジスタ 0 CSn (n =0, 1)の訂正

ADDRPEN ビットの説明に ADDSIZE の依存性の説明を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オクタシリアルペリフェラルインタフェース (OSPI)	45.2.1.4	3063	44.2.1.4	3052	44.2.1.4	3014	44.2.1.4	2959

訂正前

ビット	シンボル	機能	R/W
23:16	ADDRPEN[7:0]	アドレス置換許可 これらのビットは、メモリマッピングモードにおいて、システムバスアドレスの MSByte と置換するビットを選択します。 R/W 0: 置換なし (xSPI フレームアドレスフィールドはシステムバスアドレスと同一) 1: 置換あり	R/W

訂正後

ビット	シンボル	機能	R/W										
23:16	ADDRPEN[7:0]	アドレス置換許可 これらのビットは、メモリマッピングモードにおいて、システムバスアドレスの MSByte と置換するビットを選択します。 0: 置換なし (xSPI フレームアドレスフィールドはシステムバスアドレスと同一) 1: 置換あり	R/W										
		<table border="1"> <tr> <td>ADDSize[1:0]</td> <td>システムバスアドレス置換の対象ビット</td> </tr> <tr> <td>00</td> <td>ビット 7 からビット 0</td> </tr> <tr> <td>01</td> <td>ビット 15 から ビット 8</td> </tr> <tr> <td>10</td> <td>ビット 23 から ビット 16</td> </tr> <tr> <td>11</td> <td>ビット 31 から ビット 24</td> </tr> </table>	ADDSize[1:0]	システムバスアドレス置換の対象ビット	00	ビット 7 からビット 0	01	ビット 15 から ビット 8	10	ビット 23 から ビット 16	11	ビット 31 から ビット 24	
ADDSize[1:0]	システムバスアドレス置換の対象ビット												
00	ビット 7 からビット 0												
01	ビット 15 から ビット 8												
10	ビット 23 から ビット 16												
11	ビット 31 から ビット 24												

19. 45.2.1.7 LIOCFGCSn : OSPI リンク入出力コンフィグレーションレジスタ CSn (n = 0, 1)の訂正

DDRSMPLEX ビットに tCKHDSH に関する説明を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オクタシリアルペリフェラルインタフェース (OSPI)	45.2.1.7	3066	44.2.1.7	3055	44.2.1.7	3017	44.2.1.7	2957

訂正前

ビット	シンボル	機能	R/W
31:28	DDRSMPLEX[3:0]	<p>DDR サンプルングウィンドウ拡張</p> <p>これらのビットは、DDR におけるサンプルングウィンドウの拡張サイクルを設定します。DDR では、レイテンシサイクル直後の予定サイクル中に入力データがサンプルングされます。範囲外の入力データは無視されます。OM_DQS 伝播遅延に応じて設定できます。</p> <p>0x0: サイクル拡張なし</p> <p>0x1: 1 サイクル拡張</p> <p>⋮</p> <p>0x6: 6 サイクル拡張</p> <p>0x7: 7 サイクル拡張</p> <p>その他: 設定禁止</p>	R/W

訂正後

ビット	シンボル	機能	R/W
31:28	DDRSMPLEX[3:0]	<p>DDR サンプルングウィンドウ拡張</p> <p>これらのビットは、DDR におけるサンプルングウィンドウの拡張サイクルを設定します。DDR では、レイテンシサイクル直後の予定サイクル中に入力データがサンプルングされます。範囲外の入力データは無視されます。OM_DQS 伝播遅延に応じて設定できます。</p> <p>これらのビット設定は、70.3.11 章 OSPI タイミングの tCKHDSH を満たすように設定する必要があります。tCKHDSH は外部メモリの出力遅延時間を意味します。例えば、以下の条件では DDRSMPLEX[3:0] ビットは 0x1 に設定されます。</p> <ul style="list-style-type: none"> ● VCC が 2.7V 以上 ● OM_n_SCLK が 133MHz ● メモリ出力遅延時間 (tCKHDSH) が 6ns <p>tCKHDSH の許容最大値は、$t_{PERIOD} \times (1 + \text{DDRSMPLEX}[3:0]) - 8.5 = 7.5 \times (1 + 1) - 8.5 = 6.5[\text{ns}]$です。</p> <p>メモリ出力遅延時間はこの値未満である必要があります。</p> <p>0x0: サイクル拡張なし</p> <p>0x1: 1 サイクル拡張</p> <p>⋮</p> <p>0x6: 6 サイクル拡張</p> <p>0x7: 7 サイクル拡張</p> <p>その他: 設定禁止</p>	R/W

20. 45.2.2.22 RACTL : OSPI レジスタアクセスコントロールレジスタの追加

SiP 製品構成の設定用に以下のレジスタを追加します

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オクタシリアル ペリフェラ ルインタフェ ース (OSPI)	45.2.2.22	-	44.2.2.22	-	44.2.2.22	-	44.2.2.22	-

Base address: OSPI_n_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
 OSPI_n_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)
 Offset address: 0x208

Bit Position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15
Bit field	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit Position	15	14	13	12	11	10	9	8	7	6	5	4	2	3	2	1	0
Bit field	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RAEN
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RAEN	レジスタアクセス許可 0: MER レジスタアクセス禁止 1: MER レジスタアクセス許可	R/W
31:1	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

Note: S-TYPE-3, P-TYPE-3

21. 45.2.2.23 MER : OSPI マップ終了置換レジスタの追加

SiP 製品構成の設定用に以下のレジスタを追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オクタシリアルペリフェラルインタフェース (OSPI)	45.2.2.23	-	44.2.2.23	-	44.2.2.23	-	44.2.2.23	-

Base address: OSPI_n_B = 0x4026_8000 + 0x0400 × n (n = 0, 1)
 OSPI_n_B_NS = 0x5026_8000 + 0x0400 × n (n = 0, 1)
 Offset address: 0x228

Bit Position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field	-	-	-	-	MECS1								-	-	-	MERCS1
Value after reset	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0

Bit Position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:4	-	読むと 1 が読めます。書く場合、1 としてください。	R/W
15:12	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	MERCS1	CS1 マップ終了置換有効 0: 置換無し 1: 置換	R/W
19:17	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:20	MECS1	CS1 マップ終了置換アドレス MERCS1 が 1 に設定されている場合、システムバスアドレスのビット 27~ビット 20 がこの値に置き換えられます。	R/W
31:28	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

Note: S-TYPE-3, P-TYPE-3

SiP 製品の場合、MER レジスタはセクション 45.4 「SiP 製品の設定」に記載されているように設定する必要があります。
 標準製品の場合、リセット後に値を変更しないでください。

22. 45.4 SiP 製品の構成の訂正

SiP メモリ領域設定に関する手順を一部追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オクタシリアルペリフェラルインタフェース (OSP)	45.4	3116	44.4	3105	44.4	3065	44.4	3007

訂正前

以下の設定してから SiP フラッシュメモリにアクセスする必要があります。

- PmnPFS.PCR ビットで OM_1_DQS 端子、OM_1_SIO7~OM_1_SIO0 端子、および OM_1_ECSINT1 端子をブルアップしてから、PmnPFS.PMR ビットを 1 に設定する必要があります。
- LVOCR.LVO1E ビットを 1 に設定

訂正後

以下の設定してから SiP フラッシュメモリにアクセスする必要があります。

- P603~P607 および PC00~PC07 の PmnPFS.PSEL[4:0]ビットに OSPI (11100b) を設定します。
- LVOCR.LVO1E ビットを 1 に設定します。
- SiP フラッシュ領域全体が非セキュアとして設定されていない場合、PSARB.PSARB17 ビットを 0 に設定します。
- CS1 の終了アドレスを設定します。
 - RACTL.RAEN ビットを 1 に設定します。
 - 8MB SiP-Flash 製品の場合、MER レジスタを 0x0871_OFF0 に設定します。
 - 4MB SiP-Flash 製品の場合、MER レジスタを 0x0831_OFF0 に設定します。
 - RACTL.RAEN ビットを 0 に設定します。
- LIOCFGCS1.DDRSMPEX[3:0]ビットを 0 に設定します。

SiP フラッシュメモリの tCKHDSH 値は tPERIOD/2 + 6[ns]です。 OM1_SCLK が 133MHz の場合、DDRSMPEX[3:0]ビットは 0x2 になります。

23. 45.5.4 メモリ書き込み結合モードの訂正

メモリ書き込み組み合わせモードは CPU0 のみに制限されます (CPU1 は含まれません)。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
オクタシリアル ペリフェラ ルインタフェ ース (OSP)	45.5.4	3118	44.5.4	3107	44.5.4	3067	44.5.4	3009

訂正前

45.5.4 メモリ書き込み結合モード

BMCFGCHn.MWRCOMB = 1 のときは、メモリ書き込み結合モードが有効です。ただし、バスマスタが CPU で、かつ OSPI データが 32 ビット未満の場合、結合は機能しません。表 45.11 に各バスマスタに対するデータ書き込みの可否を示します。

表 45.11 各バスマスタに対するデータ書き込みの可否

バスマスタ	結合有効	結合無効
CPU (32 ビット未満のアクセス)	不可	可能
CPU (64 ビットアクセス)	可能	可能
DMAC/DTC	可能	可能
EDMAC	可能	可能
CEU	可能	可能
DRW	可能	可能

訂正後

45.5.4 メモリ書き込み結合モード

BMCFGCHn.MWRCOMB = 1 のときは、メモリ書き込み結合モードが有効です。ただし、バスマスタが CPU0 で、かつ OSPI データが 32 ビット未満の場合、結合は機能しません。表 45.11 に各バスマスタに対するデータ書き込みの可否を示します。

表 45.11 各バスマスタに対するデータ書き込みの可否

バスマスタ	結合有効	結合無効
CPU0 (32 ビット未満のアクセス)	不可	可能
CPU0 (64 ビットアクセス)	可能	可能
その他のバスマスタ	可能	可能

24. 47.2.1 SSICR：コントロールレジスタの設定の訂正(RA8T2を除く)

以下の記述を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
拡張シリアルサウンドインタフェース (SSIE)	47.2.1	3129	46.2.1	3118	46.2.1	3078	—	—

訂正前

通信フォーマット (SSIOFR.OMOD[1:0])			
FRM[1:0]	I ² S (00b)	モノラル (10b)	TDM (01b)
00b	2	1	設定禁止
01b	設定禁止	設定禁止	4
10b			5
11b			6

訂正後

通信フォーマット (SSIOFR.OMOD[1:0])			
FRM[1:0]	I ² S (00b)	Monaural (10b)	TDM (01b)
00b	2	1	設定禁止
01b	設定禁止	設定禁止	4
10b			6
11b			8

25. 表 50.5 保証されるクロック周波数とクロックモードの訂正 (Excluding RA8T2)

以下の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
パルス密度変調インタフェース (PDM-IF)	表 50.5	3236	表 49.5	3290	表 49.5	3250	—	—

訂正前

PDMIFCLK	PCLK	PDM_CLKn		
周波数 (MHz)	周波数 (MHz)	周波数 (MHz)	サポートされるコアクロック分周比	設定値 (PDSFCR.CKDIV[3:0])
8	1 to 100 ^(注1)	4	2	0x0
		2	4	0x1
		・	・	・
		・	・	・
		0.25	32	0xF

注 1. PDM-IF は 1 MHz 未満の PCLK で動作可能ですが、保証される周波数の動作範囲は 1~100 MHz です。

訂正後

PDMIFCLK	PCLK	PDM_CLKn		
周波数 (MHz)	周波数 (MHz)	周波数 (MHz)	サポートされるコアクロック分周比	設定値 (PDSFCR.CKDIV[3:0])
8	1 to 62.5 ^(注1)	4	2	0x0
		2	4	0x1
		・	・	・
		・	・	・
		0.25	32	0xF

注 1. PDM-IF は 1 MHz 未満の PCLK で動作可能ですが、保証される周波数の動作範囲は 1~62.5MHz です。

26. 50.3.1.1 出力サンプリング周波数の追加 (Excluding RA8T2)

50.3.1 クロック仕様の章に、以下の章を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
パルス密度変調インタフェース (PDM-IF)	50.3.1.1	—	50.3.1.1	—	50.3.1.1	—	—	—

50.3.1.1 出力サンプリング周波数

PDM-IF 出力サンプリング周波数は次の式で表されます。

$$F_{out} = F_{clk} / (M \times 2)$$

- Fout: PDM-IF 出力サンプリング周波数
- Fclk: PDM_CLKn 周波数 (詳細は、表 50.5 を参照してください)
- M: Sinc フィルタのデシメーション比 (PDSFCRCHn.SINCDEC[7:0] + 1)

27. 表 50.7 Sinc フィルタ出力のクリッピングの訂正(Excluding RA8T2)

PDM-IF 出力のサンプリング周波数(kHz)の追加と、誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
パルス密度変調インタフェース (PDM-IF)	表 50.7	3303	表 49.7	3290	表 49.7	3250	—	—

訂正前

表50.7 Sinc フィルタ出力のクリッピング(1/2)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRChn.SFMD[2:0]	PDM_CLK の分周比	PDSFRCRChn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFRCRChn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFRCRChn. SINCRRNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)
		0x0		0x0		0x7C	b28~b0	b28~b9				
				0x1		0x3D	b24~b0	b24~b5				
				0x2		0x29	b22~b0	b22~b3				
				0x3		0x1E	b20~b0	b20~b1				
				0x4		0x18	b19~b0	b19~b0				
				0x5		0x14	b18~b0	b18~b0, 0				
				0x6		0x11	b17~b0	b17~b0, 00				
				0x7		0x0F	b17~b0	b17~b0, 00				
				0x8		0x0D	b16~b0	b16~b0, 000				
				0x9		0x0B	b15~b0	b15~b0, 0000				
				0xA		0x0A	b14~b0	b14~b0, 00000				
				0xB		0x09	b14~b0	b14~b0, 00000				
				0xC		0x08	b13~b0	b13~b0, 000000				
				0xD		0x08	b13~b0	b13~b0, 000000				
				0xE		0x07	b13~b0	b13~b0, 000000				
				0xF		0x07	b13~b0	b13~b0, 000000				
		0x3		0x0		0x7C	b21~b0	b21~b2				
				0x1	62	0x3D	b18~b0	b18~b0, 0				
				0x2		0x29	b17~b0	b17~b0, 00				
				0x3		0x1E	b15~b0	b15~b0, 0000				
				0x4		0x18	b14~b0	b14~b0, 00000				
				0x5		0x14	b14~b0	b14~b0, 00000				
				0x6		0x11	b13~b0	b13~b0, 000000				
				0x7		0x0F	b13~b0	b13~b0, 000000				
				0x8		0x0D	b12~b0	b12~b0, 0000000				
				0x9		0x0B	b11~b0	b11~b0, 00000000				

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINCRNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)
			0xA		0x0A	b11~b0	b11~b0, 00000000					
			0xB		0x09	b10~b0	b10~b0, 000000000					
			0xC		0x08	b10~b0	b10~b0, 000000000					
			0xD		0x08	b10~b0	b10~b0, 000000000					
			0xE		0x07	b10~b0	b10~b0, 000000000					
			0xF		0x07	b10~b0	b10~b0, 000000000					

表50.7 Sinc フィルタ出力のクリッピング(2/2)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINCRNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)
		0x2	0x0		0x7C	b14~b0	b14~b0, 00000					
			0x1		0x3D	b12~b0	b12~b0, 0000000					
			0x2		0x29	b11~b0	b11~b0, 00000000					
			0x3		0x1E	b10~b0	b10~b0, 000000000					
			0x4		0x18	b10~b0	b10~b0, 000000000			0.8	32	
		12	0x5	21	0x14	b9~b0	b9~b0, 0000000000					
			0x6		0x11	b9~b0	b9~b0, 0000000000					
			0x7		0x0F	b9~b0	b9~b0, 0000000000					
			0x8		0x0D	b8~b0	b8~b0, 00000000000					
			0x9		0x0B	b8~b0	b8~b0, 00000000000					
			0xA		0x0A	b7~b0	b7~b0, 000000000000					
			0xB		0x09	b7~b0	b7~b0, 000000000000					
			0xC		0x08	b7~b0	b7~b0, 000000000000					
			0xD		0x08	b7~b0	b7~b0, 000000000000					
			0xE		0x07	b7~b0	b7~b0, 000000000000					

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRChn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRChn.CKDNV[3:0]	Sinc フィルタのデシメーション比	PDSFCRChn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRChn. SINCRRNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)
			0xF		0x07	b7~b0	b7~b0, 000000000000					
		0x1	0x0		0x7C	b7~b0	b7~b0, 000000000000					
			0x1		0x3D	b6~b0	b6~b0, 000000000000					
			0x2		0x29	b6~b0	b6~b0, 000000000000					
			0x3		0x1E	b5~b0	b5~b0, 000000000000					
			0x4		0x18	b5~b0	b5~b0, 000000000000					
			0x5		0x14	b5~b0	b5~b0, 000000000000					
			0x6		0x11	b5~b0	b5~b0, 000000000000					
			0x7		0x0F	b5~b0	b5~b0, 000000000000					
			0x8		0x0D	b4~b0	b4~b0, 000000000000					
			0x9		0x0B	b4~b0	b4~b0, 000000000000					
			0xA		0x0A	b4~b0	b4~b0, 000000000000					
			0xB		0x09	b4~b0	b4~b0, 000000000000					
			0xC		0x08	b4~b0	b4~b0, 000000000000					
			0xD		0x08	b4~b0	b4~b0, 000000000000					
			0xE		0x07	b4~b0	b4~b0, 000000000000					
			0xF		0x07	b4~b0	b4~b0, 000000000000					

訂正後

表50.7 Sinc フィルタ出力のクリッピング(1/3)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINCNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)	PDM-IF出力のサンプリング周波数(kHz)
8	4	0x0	2	0x0	125	0x7C	b28 to b0	b28 to b9	00101	20	4.0	32	16
			4	0x1	62	0x3D	b24 to b0	b24 to b5	01001	20	2.0	32.26	16.13
			6	0x2	42	0x29	b22 to b0	b22 to b3	01011	20	1.33	31.75	15.87
			8	0x3	31	0x1E	b20 to b0	b20 to b1	01101	20	1.0	32.26	16.13
			10	0x4	25	0x18	b19 to b0	b19 to b0	01110	20	0.8	32	16
			12	0x5	21	0x14	b18 to b0	b18 to b0, 0	01111	19	0.67	31.75	15.87
			14	0x6	18	0x11	b17 to b0	b17 to b0, 00	10000	18	0.57	31.75	15.87
			16	0x7	16	0x0F	b17 to b0	b17 to b0, 00	10000	18	0.50	31.25	15.63
			18	0x8	14	0x0D	b16 to b0	b16 to b0, 000	10001	17	0.44	31.75	15.87
			20	0x9	12	0x0B	b15 to b0	b15 to b0, 0000	10010	16	0.40	33.33	16.67
			22	0xA	11	0x0A	b14 to b0	b14 to b0, 00000	10011	15	0.36	33.06	16.53
			24	0xB	10	0x09	b14 to b0	b14 to b0, 00000	10011	15	0.33	33.33	16.67
			26	0xC	9	0x08	b13 to b0	b13 to b0, 000000	10100	14	0.31	34.19	17.09
			28	0xD	9	0x08	b13 to b0	b13 to b0, 000000	10100	14	0.29	31.75	15.87
			30	0xE	8	0x07	b13 to b0	b13 to b0, 000000	10100	14	0.27	33.33	16.67
			32	0xF	8	0x07	b13 to b0	b13 to b0, 000000	10100	14	0.25	31.25	15.63
8	3	0x3	2	0x0	125	0x7C	b21 to b0	b21 to b2	01100	20	4.0	32	16
			4	0x1	62	0x3D	b18 to b0	b18 to b0, 0	01111	19	2.0	32.26	16.13
			6	0x2	42	0x29	b17 to b0	b17 to b0, 00	10000	18	1.33	31.75	15.87
			8	0x3	31	0x1E	b15 to b0	b15 to b0, 0000	10010	16	1.0	32.26	16.13
			10	0x4	25	0x18	b14 to b0	b14 to b0, 00000	10011	15	0.8	32	16
			12	0x5	21	0x14	b14 to b0	b14 to b0, 00000	10011	15	0.67	31.75	15.87
			14	0x6	18	0x11	b13 to b0	b13 to b0, 000000	10100	14	0.57	31.75	15.87
			16	0x7	16	0x0F	b13 to b0	b13 to b0, 000000	10100	14	0.50	31.25	15.63
			18	0x8	14	0x0D	b12 to b0	b12 to b0, 0000000	10101	13	0.44	31.75	15.87
			20	0x9	12	0x0B	b11 to b0	b11 to b0, 00000000	10110	12	0.40	33.33	16.67
			22	0xA	11	0x0A	b11 to b0	b11 to b0, 00000000	10110	12	0.36	33.06	16.53
			24	0xB	10	0x09	b10 to b0	b10 to b0, 000000000	10111	11	0.33	33.33	16.67
			26	0xC	9	0x08	b10 to b0	b10 to b0, 000000000	10111	11	0.31	34.19	17.09
			28	0xD	9	0x08	b10 to b0	b10 to b0, 000000000	10111	11	0.29	31.75	15.87
			30	0xE	8	0x07	b10 to b0	b10 to b0, 000000000	10111	11	0.27	33.33	16.67
			32	0xF	8	0x07	b10 to b0	b10 to b0, 000000000	10111	11	0.25	31.25	15.63

表50.7 Sinc フィルタ出力のクリッピング(2/3)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINC RNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)	PDM-IF出力のサンプリング周波数(kHz)
8	2	0x2	2	0x0	125	0x7C	b14 to b0	b14 to b0, 00000	10011	15	4.0	32	16
			4	0x1	62	0x3D	b12 to b0	b12 to b0, 0000000	10101	13	2.0	32.26	16.13
			6	0x2	42	0x29	b11 to b0	b11 to b0, 00000000	10110	12	1.33	31.75	15.87
			8	0x3	31	0x1E	b10 to b0	b10 to b0, 000000000	10111	11	1.0	32.26	16.13
			10	0x4	25	0x18	b10 to b0	b10 to b0, 000000000	10111	11	0.8	32	16
			12	0x5	21	0x14	b9 to b0	b9 to b0, 000000000	11000	10	0.67	31.75	15.87
			14	0x6	18	0x11	b9 to b0	b9 to b0, 000000000	11000	10	0.57	31.75	15.87
			16	0x7	16	0x0F	b9 to b0	b9 to b0, 000000000	11000	10	0.50	31.25	15.63
			18	0x8	14	0x0D	b8 to b0	b8 to b0, 000000000	11001	9	0.44	31.75	15.87
			20	0x9	12	0x0B	b8 to b0	b8 to b0, 000000000	11001	9	0.40	33.33	16.67
			22	0xA	11	0x0A	b7 to b0	b7 to b0, 000000000	11010	8	0.36	33.06	16.53
			24	0xB	10	0x09	b7 to b0	b7 to b0, 000000000	11010	8	0.33	33.33	16.67
			26	0xC	9	0x08	b7 to b0	b7 to b0, 000000000	11010	8	0.31	34.19	17.09
			28	0xD	9	0x08	b7 to b0	b7 to b0, 000000000	11010	8	0.29	31.75	15.87
			30	0xE	8	0x07	b7 to b0	b7 to b0, 000000000	11010	8	0.27	33.33	16.67
			32	0xF	8	0x07	b7 to b0	b7 to b0, 000000000	11010	8	0.25	31.25	15.63

表50.7 Sinc フィルタ出力のクリッピング(3/3)

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDE C[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINC RNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)	PDM-IF出力のサンプリング周波数(kHz)
8	1	0x1	2	0x0	125	0x7C	b7 to b0	b7 to b0, 000000000000	11010	8	4.0	32	16
			4	0x1	62	0x3D	b6 to b0	b6 to b0, 000000000000	11011	7	2.0	32.26	16.13
			6	0x2	42	0x29	b6 to b0	b6 to b0, 000000000000	11011	7	1.33	31.75	15.87
			8	0x3	31	0x1E	b5 to b0	b5 to b0, 000000000000	11100	6	1.0	32.26	16.13

PDMIFCLK (MHz)	Sinc フィルタ次数	PDMDSRCHn.SFMD[2:0]	PDM_CLK の分周比	PDSFCRCHn.CKDIV[3:0]	Sinc フィルタのデシメーション比	PDSFCRCHn.SINCDEC[7:0]	Sinc フィルタ出力の有効ビット	Sinc フィルタ出力のクリッピング (20 ビット)	PDSFCRCHn. SINCRRNG[4:0]	分解能	PDM_CLKn の周波数(MHz)	Sinc フィルタ出力のサンプリング周波数 (kHz)	PDM-IF出力のサンプリング周波数(kHz)
		10	0x4	25	0x18	b5 to b0	b5 to b0, 00000000000000	11100	6	0.8	32	16	
		12	0x5	21	0x14	b5 to b0	b5 to b0, 00000000000000	11100	6	0.67	31.75	15.87	
		14	0x6	18	0x11	b5 to b0	b5 to b0, 00000000000000	11100	6	0.57	31.75	15.87	
		16	0x7	16	0x0F	b5 to b0	b5 to b0, 00000000000000	11100	6	0.50	31.25	15.63	
		18	0x8	14	0x0D	b4 to b0	b4 to b0, 00000000000000	11101	5	0.44	31.75	15.87	
		20	0x9	12	0x0B	b4 to b0	b4 to b0, 00000000000000	11101	5	0.40	33.33	16.67	
		22	0xA	11	0x0A	b4 to b0	b4 to b0, 00000000000000	11101	5	0.36	33.06	16.53	
		24	0xB	10	0x09	b4 to b0	b4 to b0, 00000000000000	11101	5	0.33	33.33	16.67	
		26	0xC	9	0x08	b4 to b0	b4 to b0, 00000000000000	11101	5	0.31	34.19	17.09	
		28	0xD	9	0x08	b4 to b0	b4 to b0, 00000000000000	11101	5	0.29	31.75	15.87	
		30	0xE	8	0x07	b4 to b0	b4 to b0, 00000000000000	11101	5	0.27	33.33	16.67	
		32	0xF	8	0x07	b4 to b0	b4 to b0, 00000000000000	11101	5	0.25	31.25	15.63	

28. 表 60.1 MRAM の仕様 (1/2)の訂正

以下の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	表 60.1	3618	表 59.1	3607	表 59.1	3567	表 58.1	3427

訂正前

項目	コード MRAM	エクストラ MRAM のオプション設定メモリ
書き込みの単位	プログラムデータバッファ: 1/2/4/8 バイト コード MRAM: 32 バイト	16 バイト

訂正後

項目	コード MRAM	エクストラ MRAM のオプション設定メモリ
書き込みの単位	1 から 32 バイト	16 バイト

29. 60.5.2 MRCFREQ : コード MRAM 周波数通知レジスタの訂正

以下記述を変更します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	60.5.2	3627	59.5.2	3616	59.5.2	3576	58.5.2	3436

訂正前

MRCMHZ[9:0] ≤ 0x064: 1 ウェイト
 0x064 < MRCMHZ[9:0] ≤ 0x0C8: 2 ウェイト
 0x0C8 < MRCMHZ[9:0] ≤ 0x0FA: 3 ウェイト
 その他の設定は予約されています。

訂正後

MRCMHZ[9:0] ≤ 0x064 (100MHz): ノーウェイトアクセス
 0x064 (100MHz) < MRCMHZ[9:0] ≤ 0x0C8 (200MHz): 1 ウェイトアクセス
 0x0C8 (200MHz) < MRCMHZ[9:0] ≤ 0x0FA (250MHz): 2 ウェイトアクセス
 その他の設定は予約されています。

30. 60.5.3 MREFREQ：エクストラ MRAM 周波数通知レジスタの訂正.

以下記述を変更します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	60.5.3	3628	59.5.3	3617	59.5.3	3577	58.5.3	3437

訂正前

MREMHZ[7:0] ≤ 0x64: 1 ウェイト
 0x64 < MREMHZ[7:0] ≤ 0x7D: 2 ウェイト
 その他の設定は予約されています。

訂正後

MREMHZ[7:0] ≤ 0x64 (100MHz): ノーウェイトアクセス
 0x64 (100MHz) < MREMHZ[7:0] ≤ 0x7D (125MHz): 1 ウェイトアクセス
 その他の設定は予約されています。

31. 表 60.16 コンフィグレーション設定コマンドが使用するアドレスの訂正

以下の誤記を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	表 60.16	3674	表 59.16	3663	表 59.16	3623	表 58.16	3483

訂正前

アドレス	MSADDR レジスタ値	設定データ
BASE_MC + 0x00C9_F060	BASE_MCS + 0x00C9_F060	OCD/シリアルプログラマ ID 設定 (OSIS)

訂正後

BASE_MC + 0x00C9_F060 を削除

32. 60.7.4.9 カウンタインクリメントコマンドの訂正

アンチロールバックカウンタ値が増加しない条件の説明の 3 番目を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	60.7.4.9	3675	59.7.4.9	3664	59.7.4.9	3624	58.7.4.9	3484

訂正前

- ARC_OEMBL の更新値が SHIP ラッパーのレジスタ設定と一致しない。SHIP ラッパーのレジスタの詳細については、ユーザーズマニュアル：xx を参照してください。

訂正後

- ARC_OEMBL の更新値は、セキュリティ エンジンから出力された OEM ブート ローダー バージョン (OEM BL Ver.)値 以上です。

33. 表 60.36 エラープロテクション種別 (1/2)の訂正

以下の文書を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	表 60.36	3690	表 59.36	3679	表 59.36	3639	表 58.36	3499

訂正前

エラー種別	説明
不正コマンドエラー	SHIP ラッパーレジスタの設定が ARC_OEMBL 値以下のときに ARC_OEMBL に対してカウンタインクリメントコマンドが発行された（「60.8.5. アンチロールバックカウンタ」を参照

訂正後

エラー種別	説明
不正コマンドエラー	セキュリティエンジンから出力される OEM ブートローダバージョン (OEM BL Ver.) 値が、ABC_OEMBL 値以下のときに ARC_OEMBL に対してカウンタインクリメントコマンドが発行された（「60.8.5. アンチロールバックカウンタ」を参照

34. 60.13.2 パラレルアクセス可能性の訂正

以下の文書を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
MRAM	60.13.2	3702	59.13.2	3691	59.13.2	3651	58.13.2	3511

コード MRAM とエクストラ MRAM へのプログラミングは同時に実行できないため、調停が行われます。後から実行されるプログラムは、先に実行されたプログラムが完了するまで待機させられます。

MSTATR.MRDY = 0 の状態でコード MRAM へのプログラムを開始した場合、プログラムは MSTATR.MRDY = 1 の後に開始されます。また、MRCPS.PRGBSYC = 1 の状態でエクストラ MRAM へのプログラム (プログラム、コンフィギュレーション設定、カウンタインクリメントのコマンド発行) を開始した場合、プログラムは MRCPS.PRGBSYC = 0 の後に開始されます。したがって、この場合のプログラム時間は、コード MRAM とエクストラ MRAM のプログラム時間の合計となります。

同じ MRAM マクロに対する読み出し動作とプログラム動作の間にも調停が行われ、同時に実行することはできません。MRAM 特性に記載されている値は、調停が行われない独立した動作時間です。

35. 表 70.2 推奨動作条件の訂正

ESWM の記載を削除と SDRAM の条件を変更します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.2	4124	表 69.2	4113	表 62.2	3716	表 60.2	3519

訂正前

項目	シンボル		Min	Typ	Max	単位	
電源電圧	VCC2	標準製品	下記以外	1.62	—	3.63	V
			ESWM 使用時	2.30	—	3.63	V
			SDRAM 使用時	3.00	—	3.63	V

訂正後

項目	シンボル			Min	Typ	Max	単位
電源電圧	VCC2	標準製品	下記以外	1.62	—	3.63	V
			32bit SDRAM 使用時	3.00	—	3.63	V

36. 表 70.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) の訂正 (RA8P1 only)

CPU1 に関する電流値の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電气的特性	表 70.35	4156	—	—	—	—	—	—

訂正前

項目	シボル	Typ	Max		単位	測定条件					
			95°C	105°C							
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	54	—	—	μA/ MHz	CPU0 = ディープスリープ NPU、グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 1 GHz, NPUCLK = 500 MHz, MRICLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz		
			キャッシュはオフ、ITCM から実行		49	—	—				
			キャッシュはオフ、SRAM から実行		49	—	—				
			キャッシュはオフ、MRAM から実行		67	—	—				
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		50	—	—				
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		66	—	—				
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン		47	—	—			μA/ MHz	CPU0 = ディープスリープ NPU、グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 800 MHz, NPUCLK = 400 MHz, MRICLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行		44	—	—				
			キャッシュはオフ、SRAM から実行		43	—	—				
			キャッシュはオフ、MRAM から実行		60	—	—				
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		44	—	—				
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		59	—	—				
CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧 範囲 2	Coremark	キャッシュはオン		40	—	—	μA/ MHz	CPU0 = ディープスリープ NPU、グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 600 MHz, NPUCLK = 300 MHz, MRICLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz			
		キャッシュはオフ、ITCM から実行		37	—	—					
		キャッシュはオフ、SRAM から実行		37	—	—					
		キャッシュはオフ、MRAM から実行		49	—	—					
	通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		38	—	—					
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		49	—	—					

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

訂正後

項目			シンボル	Typ	Max		単位	測定条件			
					95°C	105°C					
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	215	—	—	μA/ MHz	CPU0 = ディープスリープ NPU、グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 1 GHz, NPUCLK = 500 MHz, MRCLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz		
			キャッシュはオフ、ITCM から実行		197	—	—				
			キャッシュはオフ、SRAM から実行		194	—	—				
			キャッシュはオフ、MRAM から実行		268	—	—				
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行		201	—	—				
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		264	—	—				
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン		236	—	—			μA/ MHz	CPU0 = ディープスリープ NPU、グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 800 MHz, NPUCLK = 400 MHz, MRCLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行		218	—	—				
			キャッシュはオフ、SRAM から実行		215	—	—				
			キャッシュはオフ、MRAM から実行		299	—	—				
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行		222	—	—				
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		297	—	—				
CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧 範囲 2	Coremark	キャッシュはオン		265	—	—	μA/ MHz	CPU0 = ディープスリープ NPU、グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 600 MHz, NPUCLK = 300 MHz, MRCLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz			
		キャッシュはオフ、ITCM から実行		247	—	—					
		キャッシュはオフ、SRAM から実行		244	—	—					
		キャッシュはオフ、MRAM から実行		326	—	—					
	通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行		252	—	—					
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		324	—	—					

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

37. 表 69.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) の訂正 (RA8D2 only)

CPU1 に関する電流値の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電气的特性	—	—	表 69.35	4145	—	—	—	—

訂正前

項目	シボル	Typ	Max		単位	測定条件					
			95°C	105°C							
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	54	—	—	μA/ MHz	CPU0 = ディープスリープ グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 1 GHz, MRCLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz		
			キャッシュはオフ、ITCM から実行		49	—	—				
			キャッシュはオフ、SRAM から実行		49	—	—				
			キャッシュはオフ、MRAM から実行		67	—	—				
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		50	—	—				
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		66	—	—				
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン		47	—	—			μA/ MHz	CPU0 = ディープスリープ グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 800 MHz, MRCLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行		44	—	—				
			キャッシュはオフ、SRAM から実行		43	—	—				
			キャッシュはオフ、MRAM から実行		60	—	—				
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		44	—	—				
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		59	—	—				
CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧 範囲 2	Coremark	キャッシュはオン		40	—	—	μA/ MHz	CPU0 = ディープスリープ グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 600 MHz, MRCLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz			
		キャッシュはオフ、ITCM から実行		37	—	—					
		キャッシュはオフ、SRAM から実行		37	—	—					
		キャッシュはオフ、MRAM から実行		49	—	—					
	通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		38	—	—					
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		49	—	—					

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

訂正後

項目			シンボル	Typ	Max		単位	測定条件	
					95°C	105°C			
消費電流 (注1)(注2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	215	-	-	μA/ MHz	CPU0 = ディープスリープ グラフィック、および ESWM の電源ドメインは OFF CPUCLK0 = 1 GHz, MRCLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行		197	-	-		
			キャッシュはオフ、SRAM から実行		194	-	-		
			キャッシュはオフ、MRAM から実行		268	-	-		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行		201	-	-		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		264	-	-		
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	236	-	-	μA/ MHz		
			キャッシュはオフ、ITCM から実行	218	-	-			
			キャッシュはオフ、SRAM から実行	215	-	-			
			キャッシュはオフ、MRAM から実行	299	-	-			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行	222	-	-			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	297	-	-			
CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧 範囲 2	Coremark	キャッシュはオン	265	-	-	μA/ MHz			
		キャッシュはオフ、ITCM から実行	247	-	-				
		キャッシュはオフ、SRAM から実行	244	-	-				
		キャッシュはオフ、MRAM から実行	326	-	-				
	通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行	252	-	-				
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	324	-	-				

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

38. 表 62.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) (1/2)の訂正 (RA8M2 only)

CPU1 に関する電流値の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	—	—	—	—	表 62.35	3735	—	—

訂正前

項目	シボル	Typ	Max		単位	測定条件					
			95°C	105°C							
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	54	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 1 GHz, MRCLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz		
			キャッシュはオフ、ITCM から実行	49	—	—					
			キャッシュはオフ、SRAM から実行	49	—	—					
			キャッシュはオフ、MRAM から実行	67	—	—					
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行	50	—	—					
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	66	—	—					
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	47	—	—			μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 800 MHz, MRCLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行	44	—	—					
			キャッシュはオフ、SRAM から実行	43	—	—					
			キャッシュはオフ、MRAM から実行	60	—	—					
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行	44	—	—					
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	59	—	—					

訂正後

項目	シボル	Typ	Max		単位	測定条件			
			95°C	105°C					
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	215	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 1 GHz, MRCLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行	197	—	—			
			キャッシュはオフ、SRAM から実行	194	—	—			
			キャッシュはオフ、MRAM から実行	268	—	—			
		通常モード	すべての周辺機能が無効、 キャッシュはオン、While (1) コードを実行	201	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	264	—	—			

項目			シンボル	Typ	Max		単位	測定条件
					95°C	105°C		
CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン		236	-	-	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 800 MHz, MRCLK = 200 MHz, MRCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
		キャッシュはオフ、ITCM から実行		218	-	-		
		キャッシュはオフ、SRAM から実行		215	-	-		
	通常モード	キャッシュはオフ、MRAM から実行		299	-	-		
		すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行		222	-	-		
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		297	-	-		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

39. 表 62.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) の訂正 (2/2) (RA8M2 only)

CPU1 に関する電流値の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電气的特性	—	—	—	—	表 62.35	3758	—	—

訂正前

項目	シンボル	Typ	Max		単位	測定条件			
			95°C	105°C					
消費電流 (注 1)(注 2)	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	45	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRICKL = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz
			キャッシュはオフ、ITCM から実行	42	—	—			
			キャッシュはオフ、SRAM から実行	41	—	—			
			キャッシュはオフ、MRAM から実行	58	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行	43	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	57	—	—			
			Coremark	キャッシュはオン	40	—	—		
				キャッシュはオフ、ITCM から実行	37	—	—		
	通常モード	キャッシュはオフ、SRAM から実行	37	—	—				
		キャッシュはオフ、MRAM から実行	49	—	—				
すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		38	—	—					
すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		49	—	—					

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

訂正後

項目	シンボル	Typ	Max		単位	測定条件			
			95°C	105°C					
消費電流 (注 1)(注 2)	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	226	—	—	μA/ MHz	CPU0 = Deep Sleep ESWM power domain off CPUCLK0 = 600 MHz, MRICKL = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25MHz
			キャッシュはオフ、ITCM から実行	208	—	—			
			キャッシュはオフ、SRAM から実行	205	—	—			
			キャッシュはオフ、MRAM から実行	289	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行	213	—	—			

			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		287	—	—		
CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧 範囲 2	Coremark		キャッシュはオン		265	—	—	μ A/ MHz	CPU0 = Deep Sleep ESWM power domain off CPUCLK0 = 600 MHz, MRCLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz
			キャッシュはオフ、ITCM から実行		247	—	—		
			キャッシュはオフ、SRAM から実行		244	—	—		
			キャッシュはオフ、MRAM から実行		326	—	—		
	通常モード		すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行		252	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		324	—	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

40. 表 60.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) (1/2)の訂正 (RA8T2 only)

CPU1 に関する電流値の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	—	—	—	—	—	—	表 60.35	3560

修正前

項目			シンボル	Typ	Max		単位	測定条件		
					95°C	105°C				
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	IDD	54	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 1 GHz, MRICKL = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz	
			キャッシュはオフ、ITCM から実行		49	—	—			
			キャッシュはオフ、SRAM から実行		49	—	—			
			キャッシュはオフ、MRAM から実行		67	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		50	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		66	—	—			
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン		47	—	—	μA/ MHz		CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 800 MHz, MRICKL = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
			キャッシュはオフ、ITCM から実行		44	—	—			
			キャッシュはオフ、SRAM から実行		43	—	—			
			キャッシュはオフ、MRAM から実行		60	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		44	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		59	—	—			

訂正後

項目			シンボル	Typ	Max		単位	測定条件	
					95°C	105°C			
消費電流 (注 1)(注 2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	IDD	215	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 1 GHz, MRICKL = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行		197	—	—		
			キャッシュはオフ、SRAM から実行		194	—	—		
			キャッシュはオフ、MRAM から実行		268	—	—		
		通常モード	すべての周辺機能が無効、 キャッシュはオン、While (1) コードを実行		201	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		264	—	—		

CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	236	-	-	$\mu A/$ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 800 MHz, MRCLK = 200 MHz, MRCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz
		キャッシュはオフ、ITCM から実行	218	-	-		
		キャッシュはオフ、SRAM から実行	215	-	-		
	通常モード	キャッシュはオフ、MRAM から実行	299	-	-		
		すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行	222	-	-		
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	297	-	-		

41. 表 60.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) (2/2)の訂正 (RA8T2 only)

CPU1 に関する電流値の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電氣的特性	—	—	—	—	—	—	表 60.35	3561

訂正前

項目	シボル	Typ	Max		単位	測定条件							
			95°C	105°C									
消費電流 (注 1)(注 2)	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	45	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRCLK = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz				
			キャッシュはオフ、ITCM から実行		42	—	—						
			キャッシュはオフ、SRAM から実行		41	—	—						
			キャッシュはオフ、MRAM から実行		58	—	—						
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		43	—	—						
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		57	—	—						
			CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧 範囲 2	Coremark	キャッシュはオン		40			—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRCLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz
					キャッシュはオフ、ITCM から実行		37			—	—		
	キャッシュはオフ、SRAM から実行				37	—	—						
	キャッシュはオフ、MRAM から実行				49	—	—						
通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行			38	—	—							
	すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行			49	—	—							

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

訂正後

項目	シボル	Typ	Max		単位	測定条件			
			95°C	105°C					
消費電流 (注 1)(注 2)	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	226	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRCLK = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz
			キャッシュはオフ、ITCM から実行		208	—	—		
			キャッシュはオフ、SRAM から実行		205	—	—		
			キャッシュはオフ、MRAM から実行		289	—	—		
		通常モード	すべての周辺機能が無効、 キャッシュはオン、While (1) コードを実行		213	—	—		
			すべての周辺機器が無効		287	—	—		

項目			シンボル	Typ	Max		単位	測定条件
					95°C	105°C		
CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧範囲 2	Coremark	効、キャッシュはオフ、While (1) コードは MRAM から実行					μ A/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRCLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz
		キャッシュはオン	265	-	-			
		キャッシュはオフ、ITCM から実行	247	-	-			
		キャッシュはオフ、SRAM から実行	244	-	-			
	通常モード	キャッシュはオフ、MRAM から実行	326	-	-			
		すべての周辺機能が無効、キャッシュはオン、While (1) コードを実行	252	-	-			
		すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	324	-	-			

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

42. 表 70.47 サブクロック発振器以外のクロックタイミング (2/2)の訂正 (RA8P1/RA8D2)

SiP 製品向けに HOCO 精度および FLL 安定化時間の仕様を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.47	4191	表 69.47	4178	—	—	—	—

項目		シンボル	Min	Typ	Max	単位	測定条件
HOCO クロック発振器 発振周波数	FLL無し(SiP 製品)	fHOCO16	15.744	16.000	16.256	MHz	-20 ≤ Tj ≤ 105°C
		fHOCO18	17.712	18.000	18.288		
		fHOCO20	19.680	20.000	20.320		
		fHOCO32	31.488	32.000	32.512		
		fHOCO48	47.232	48.000	48.768		
		fHOCO16	15.680	16.000	16.320		-40 ≤ Tj ≤ 105°C
		fHOCO18	17.640	18.000	18.360		
		fHOCO20	19.600	20.000	20.400		
		fHOCO32	31.360	32.000	32.640		
		fHOCO48	47.040	48.000	48.960		
FLL 安定待機時間 (SiP 製品)		tFLLWT	—	—	2.15	ms	—

43. 表 70.47 サブクロック発振器以外のクロックタイミング (2/2)の訂正 (RA8M2/RA8T2)

SiP 製品向けに HOCO 精度および FLL 安定化時間の仕様を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	—	—	—	—	表 62.47	3793	表 60.47	3597

項目		シンボル	Min	Typ	Max	単位	測定条件
HOCO クロック発振器 発振周波数	FLL無し(SiP 製品)	fHOCO16	15.744	16.000	16.256	MHz	-20 ≤ Tj ≤ 105°C
		fHOCO18	17.712	18.000	18.288		
		fHOCO20	19.680	20.000	20.320		
		fHOCO32	31.488	32.000	32.512		
		fHOCO48	47.232	48.000	48.768		
		fHOCO16	15.680	16.000	16.320		-40 ≤ Tj ≤ 125°C
		fHOCO18	17.640	18.000	18.360		
		fHOCO20	19.600	20.000	20.400		
		fHOCO32	31.360	32.000	32.640		
		fHOCO48	47.040	48.000	48.960		
FLL 安定待機時間 (SiP 製品)		tFLLWT	—	—	2.15	ms	—

44. 表 70.49 リセットタイミングの訂正

RES パルス幅における DPSBYCR.DCSSMODE=00 の記述を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.49	4194	表 69.49	4181	表 62.49	3796	表 60.49	3599

項目	シンボル	Min	Typ	Max	単位	測定条件	
RES パルス幅	ディープリソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE = 00	tRESWD	0.43	—	—	ms 図 70.33
	ディープリソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE = 00		0.43	—	—	
	ディープリソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE = 00		0.60	—	—	

45. 表 70.50 低消費電力モードからの復帰タイミングの訂正

ディープリソフトウェアスタンバイモードからの復帰時間における DPSBYCR.DCSSMODE= 00 の記述を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.50	4196	表 69.50	4183	表 62.50	3798	表 60.50	3601

項目	シンボル	Min	Typ	Max	単位	測定条件	
ディープリソフトウェアスタンバイモードからの復帰時間	ディープリソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE = 00	tDSBY	—	216	266	us 図 70.35
	ディープリソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE = 00		—	216	266	
	ディープリソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE = 00		—	403	524	

46. 表 70.62 OSPI タイミング (5/6)の訂正

電圧レベルの誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.62	4248	表 69.62	4235	表 62.62	3850	表 60.62	3654

訂正前

項目	シンボル	Min	Max	Unit	備考	
クロック Low~CS Low	tCKLCSL	1.65 V to 2.00 V	VSCR_1、電圧範囲 1	6	—	ns 図 70.84, 図 70.85, 図 70.86
			VSCR_2、電圧範囲 2			

訂正後

項目	シンボル	Min	Max	Unit	備考	
クロック Low~CS Low	tCKLCSL	1.62 V to 2.00 V	VSCR_1、電圧範囲 1	6	—	ns 図 70.84, 図 70.85, 図 70.86
			VSCR_2、電圧範囲 2			

47. 表 70.62 OSPI タイミング (9 of 9)の追加

OSPI の AC 特性に tCKHDSH 項目を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.62	4249	表 69.62	4236	表 62.62	3851	表 60.62	3655

表 70.62 OSPI タイミング (9 of 9)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：OM_n_CS0、OM_n_CS1
 負荷容量 C = 15 pF

項目	シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
Clock High ~ DQS 入力 ^(注4)	tCKHDSH	2.70 V 以上	VSCR_1, 電圧範囲 1	-	$t_{PERIOD} \times (1 + DDRSMPEX[3:0]) - 8.5$	ns	図 70.85
			VSCR_2, 電圧範囲 2				
		1.62 V ~ 2.00 V	VSCR_1, 電圧範囲 1	-	$t_{PERIOD} \times (1 + DDRSMPEX[3:0]) - 12.5$		
			VSCR_2, 電圧範囲 2				

注. n = 0, 1

注 1. OM_DQS 端子に接続された外部プルダウンで JESD251 プロファイル 1.0 メモリを使用する場合はこの制限に従う必要はありません。

注 2. 条件：COMCFG.OEASTEX = 1

注 3. 条件：LIOCFCGSx.CSASTEX = 1

注 4. メモリのデータシートを参照し、この値を満たすように DDRSMPEX[3:0]ビットを設定してください。

48. 図 70.85 DDR 送受信タイミング (4S-4D-4D、8D-8D-8D) の訂正

下記の AC 特性に t_{CKHDSH} 項目を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	図 70.85	4251	図 69.85	4238	図 62.85	3853	図 60.86	3657

訂正前

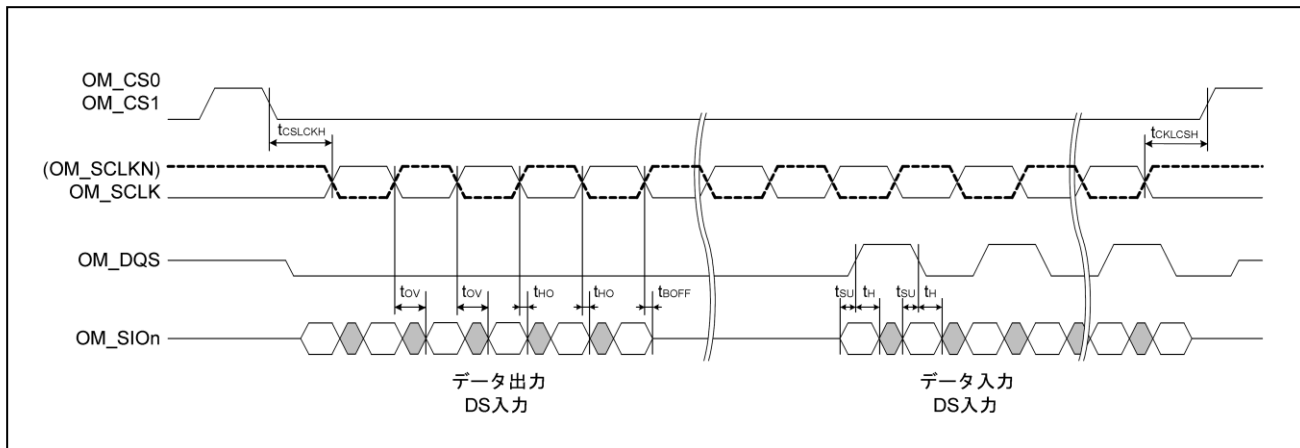


図 70.85 DDR 送受信タイミング (4S-4D-4D, 8D-8D-8D)

訂正後

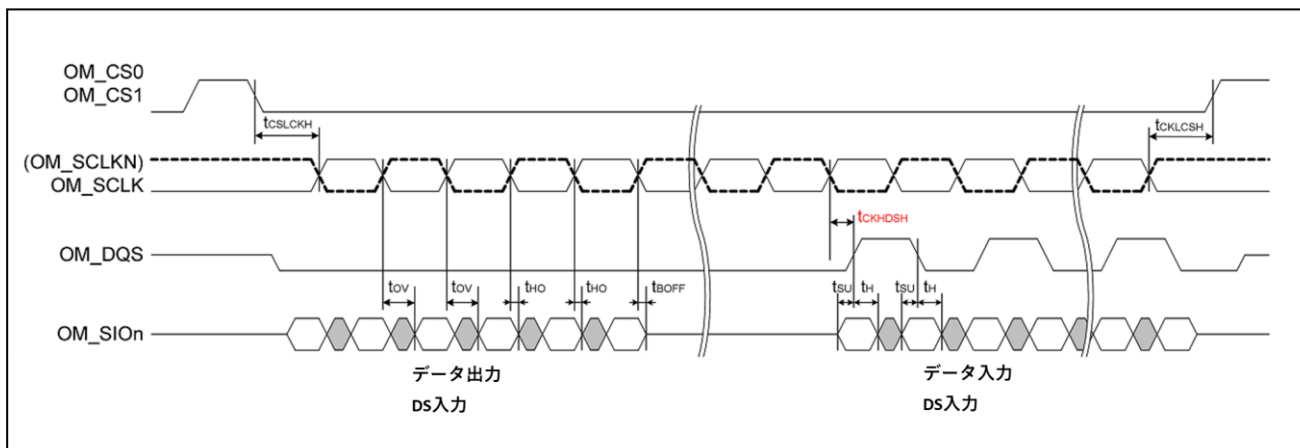


図 70.85 DDR 送受信タイミング (4S-4D-4D, 8D-8D-8D)

49. 表 70.77 PDG タイミングの訂正

測定条件の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.77	4282	表 69.77	4269	表 62.76	3882	表 60.74	3681

訂正前

項目	Min	Typ	Max	単位	測定条件
分解能	—	48.8	—	ps	GTDLYCR.FRANGE[1:0] = 00 および GPTCLK = 300 MHz

訂正後

項目	Min	Typ	Max	単位	測定条件
分解能	—	48.8	—	ps	GTDLYCR.FRANGE[1:0] = 00 および GPTCLK = 160 MHz

50. 表 70.93 HS-RX 特性の訂正 (RA8P1/RA8D2)

MIPI D-PHY の表 70.93 HS-RX 特性の最小/標準/最大/単位の誤記を訂正します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.93	4297	表 69.93	4284	—	—	—	—

訂正前

表 70.93 HS-RX 特性

項目	シンボル	Min	Typ	Max	単位	備考
コモンモード電圧HS レシーバモード	V _{CMRX} (DC)	mV	70	—	330	
差動入力インピーダンス	Z _{ID}	Ω	80	100	125	
未終端処理モードでの差動入力インピーダンス	Z _{ID_OPEN}	kΩ	10k	—	—	
クロックセットアップ時間の許容範囲に対するRX データ	T _{SETUP[RX]}	UI _{hs}	-0.15	—	0.15	
	T _{HOLD[RX]}	UI _{hs}	-0.15	—	0.15	
450 MHz 超でのコモンモード干渉	V _{CMRX} (HF)	mV	—	—	100	
50 MHz~450 MHz でのコモンモード干渉	V _{CMRX} (LF)	mV	-50	—	50	
差動入力High 側しきい値	V _{IDTH}	mV	—	—	70	
差動入力Low 側しきい値	V _{IDTL}	mV	-70	—	—	
シングルエンド入力High レベル電圧	V _{IHHS}	mV	—	—	460	
シングルエンド入力Low レベル電圧	V _{ILHS}	mV	-40	—	—	
シングルエンドしきい値HS 終端の有効化	V _{TERM-EN}	mV	—	—	450	
コモンモード終端	C _{CM}	pF	—	—	60	
データレート	D _{atarate}	Mbps	80	—	720	
差動リターンロス	f _{hMIN}	S _{ddRX}	dB	—	—	-15
	f _{hMIN}		dB	—	—	-8.5
	f _{hMAX}		dB	—	—	-2.9
コモンモードリターンロス	1/4f _{INT MIN}	S _{ccRX}	dB	—	—	0
	f _{INT MIN}		dB	—	—	-6
	f _{hMAX}		dB	—	—	-6
モード変換制限	S _{dcRX}	dB	—	—	-26	

訂正後

項目	シンボル	Min	Typ	Max	単位	備考	
コモンモード電圧HS レシーバモード	V _{CMRX(DC)}	70	—	330	mV		
差動入力インピーダンス	Z _{ID}	80	100	125	Ω		
未終端処理モードでの差動入力インピーダンス	Z _{ID_OPEN}	10k	—	—	kΩ		
クロックセットアップ時間の許容範囲に対するRX データ	T _{SETUP[RX]}	-0.15	—	0.15	UI _{hs}		
	T _{HOLD[RX]}	-0.15	—	0.15	UI _{hs}		
450 MHz 超でのコモンモード干渉	V _{CMRX(HF)}	—	—	100	mV		
50 MHz~450 MHz でのコモンモード干渉	V _{CMRX(LF)}	-50	—	50	mV		
差動入力High 側しきい値	V _{IDTH}	—	—	70	mV		
差動入力Low 側しきい値	V _{IDTL}	-70	—	—	mV		
シングルエンド入力High レベル電圧	V _{IHHS}	—	—	460	mV		
シングルエンド入力Low レベル電圧	V _{ILHS}	-40	—	—	mV		
シングルエンドしきい値HS 終端の有効化	V _{TERM-EN}	—	—	450	mV		
コモンモード終端	C _{CM}	—	—	60	pF		
データレート	D _{atarate}	80	—	720	Mbps		
差動リターンロス	f _{hMIN}	S _{ddRX}	—	—	-15	dB	
	f _{hMIN}		—	—	-8.5	dB	
	f _{MAX}		—	—	-2.9	dB	
コモンモードリターンロス	1/4f _{INT MIN}	S _{ccRX}	—	—	0	dB	
	f _{INT MIN}		—	—	-6	dB	
	f _{MAX}		—	—	-6	dB	
モード変換制限	S _{dcRX}	—	—	-26	dB		

51. 表 70.112 TSN 特性の訂正

Typ 値の値を変更します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.112	4328	表 69.112	4315	表 62.105	3925	表 60.100	3723

訂正前

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧 (25°C時)	—	—	1.24	—	V	—

訂正後

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧 (25°C時)	—	—	0.83	—	V	—

52. 表 70.114 サブクロック発振器停止検出回路の特性の訂正

サブクロック発振器停止検出回路の待機時間を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.114	4329	表 69.114	4316	表 62.107	3926	表 60.102	3724

訂正前

表 70.114 サブクロック発振器停止検出回路の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	2	ms	図 70.40

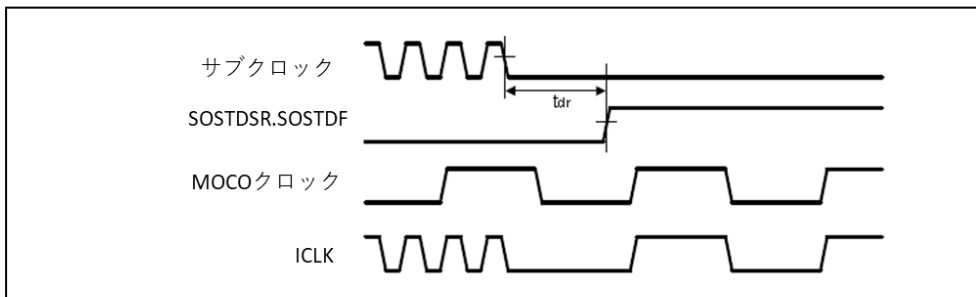


図 70.140 サブクロック発振器停止検出タイミング

訂正後

表 70.114 サブクロック発振器停止検出回路の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
起動待機時間	t_{sosdup}	100	—	—	μs	図 70.40
検出時間	t_{dr}	—	—	2	ms	図 70.41

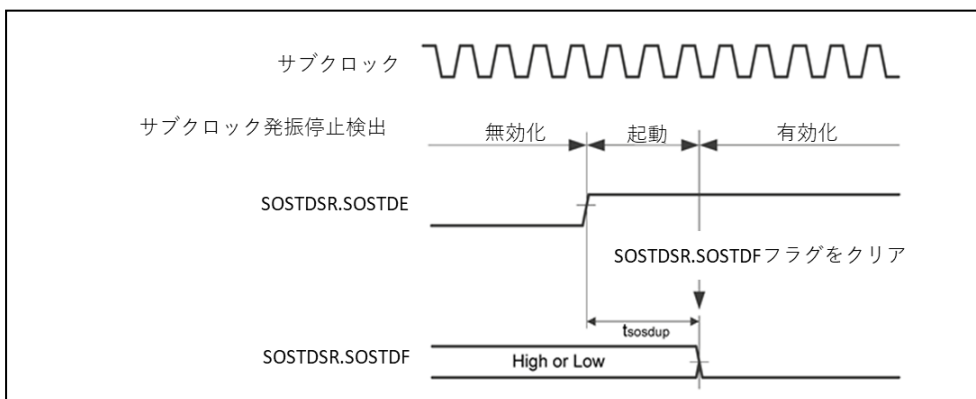


図 70.140 サブクロック発振器停止検出の起動時間

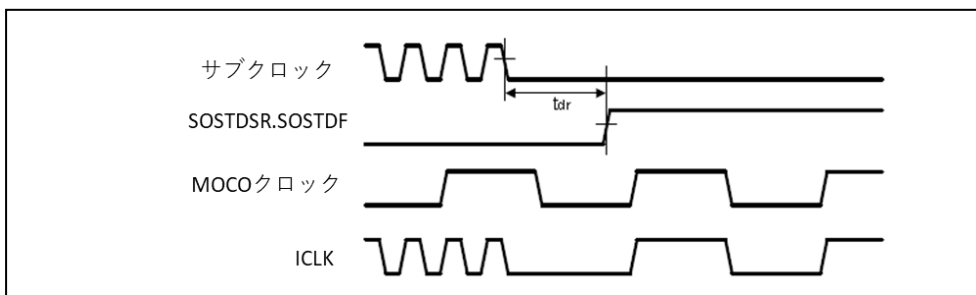


図 70.141 サブクロック発振器停止検出タイミング

53. 表 70.115 パワーオンリセット回路と電圧検出回路の特性 (1/2)の訂正

以下の条件を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.115	4330	表 69.115	4317	表 62.108	3927	表 60.103	3725

項目	シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル 電圧検出回路 (PVDn) (n = 1, 2, 4, 5)	Vdetn_0_rise	4.23	4.39	4.54	V	図 70.143
	Vdetn_0_fall	4.13	4.29	4.44		
	Vdetn_1_rise	4.10	4.26	4.41		
	Vdetn_1_fall	4.00	4.16	4.31		
	Vdetn_2_rise	3.98	4.13	4.27		
	Vdetn_2_fall	3.88	4.03	4.17		

54. 図 70.141 パワーオンリセットタイミングの訂正

VD 記述を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	図 70.141	4331	図 69.141	4318	図 62.138	3928	図 60.128	3726

訂正前

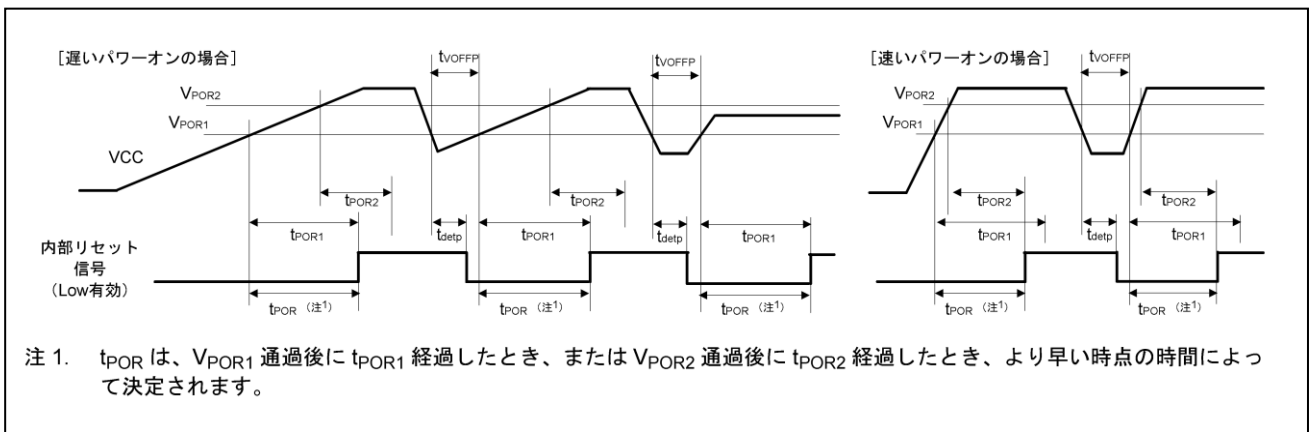


図 70.141 パワーオンリセットタイミング

訂正後

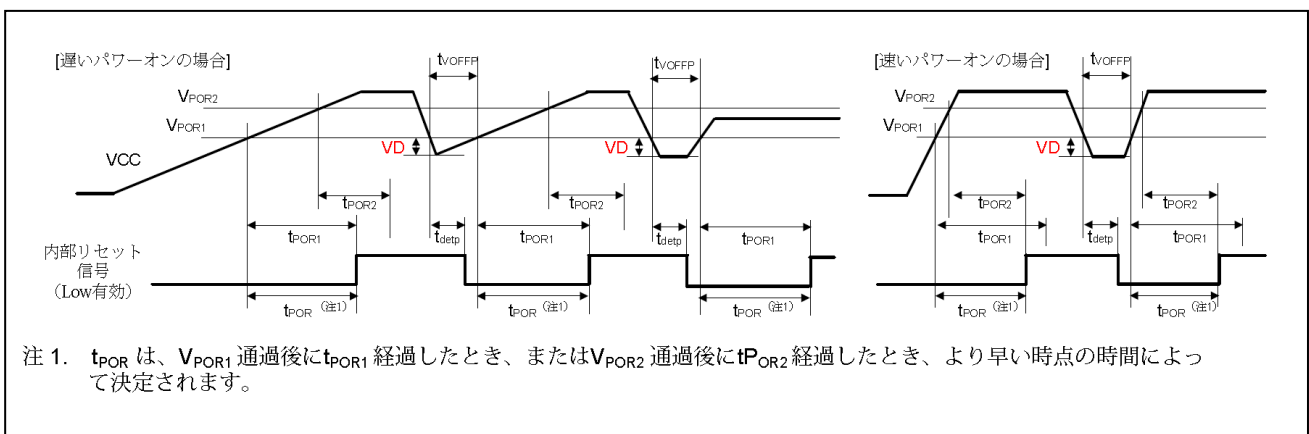


図 70.141 パワーオンリセットタイミング

55. 図 70.142 電圧検出回路タイミング (Vdet0)の訂正

VD 記述を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	図 70.142	4332	図 69.142	4319	図 62.139	3930	図 60.129	3727

訂正前

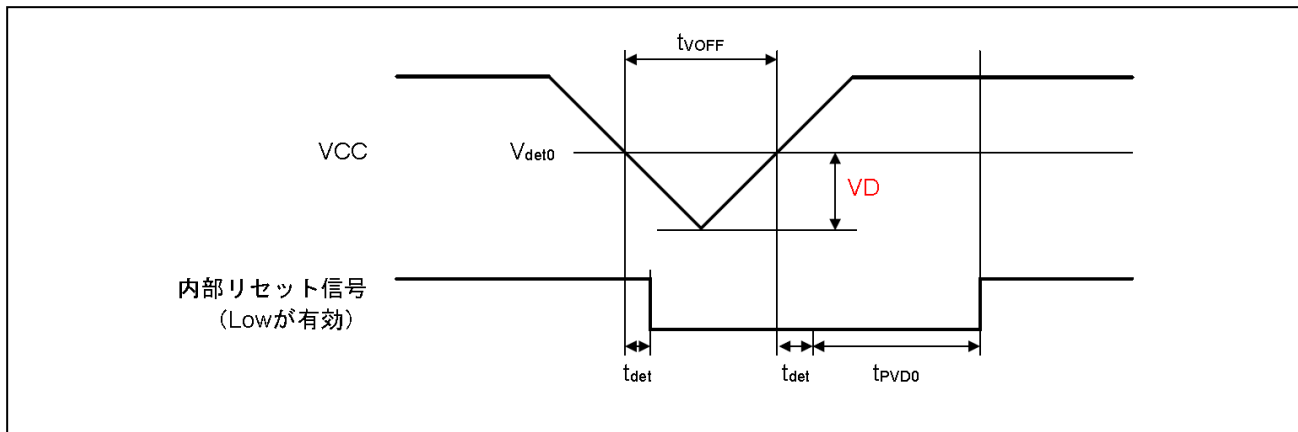


図 70.142 電圧検出回路タイミング (Vdet0)

訂正後

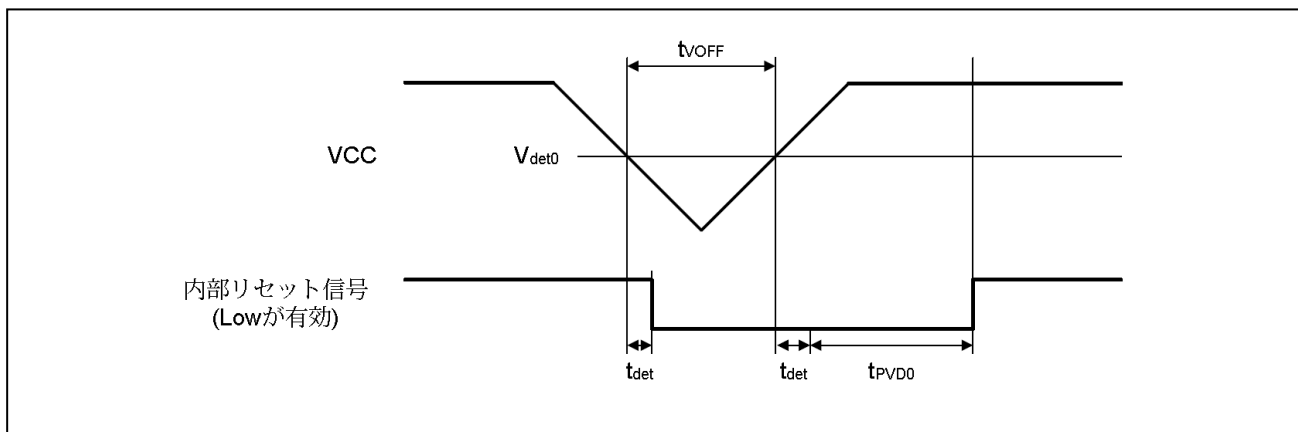


図 70.142 電圧検出回路タイミング (Vdet0)

56. 図 70.143 電圧検出回路タイミング (Vdetn) (n = 1, 2, 4, 5)の訂正

VD 記述を削除します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	図 70.143	4332	図 69.143	4319	図 62.140	3930	図 60.130	3727

訂正前

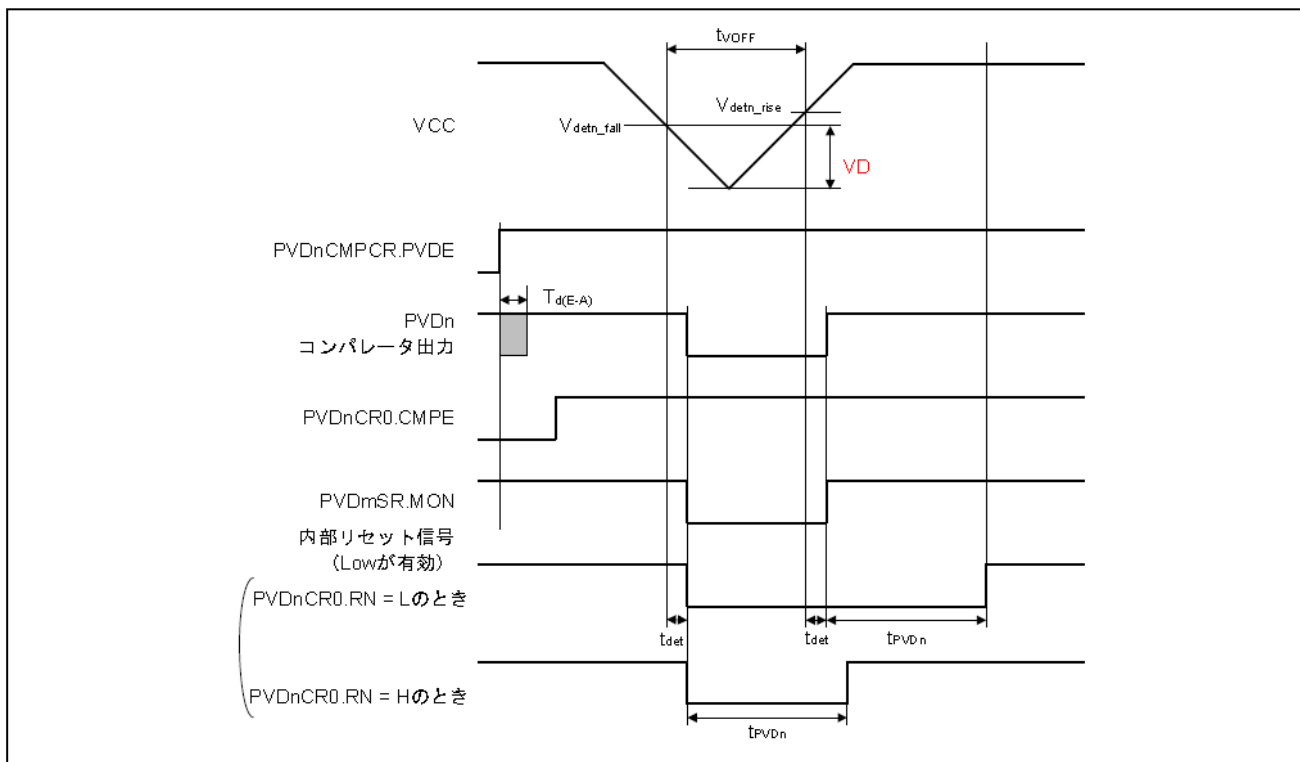


図 70.143 電圧検出回路タイミング (Vdetn) (n = 1, 2, 4, 5)

訂正後

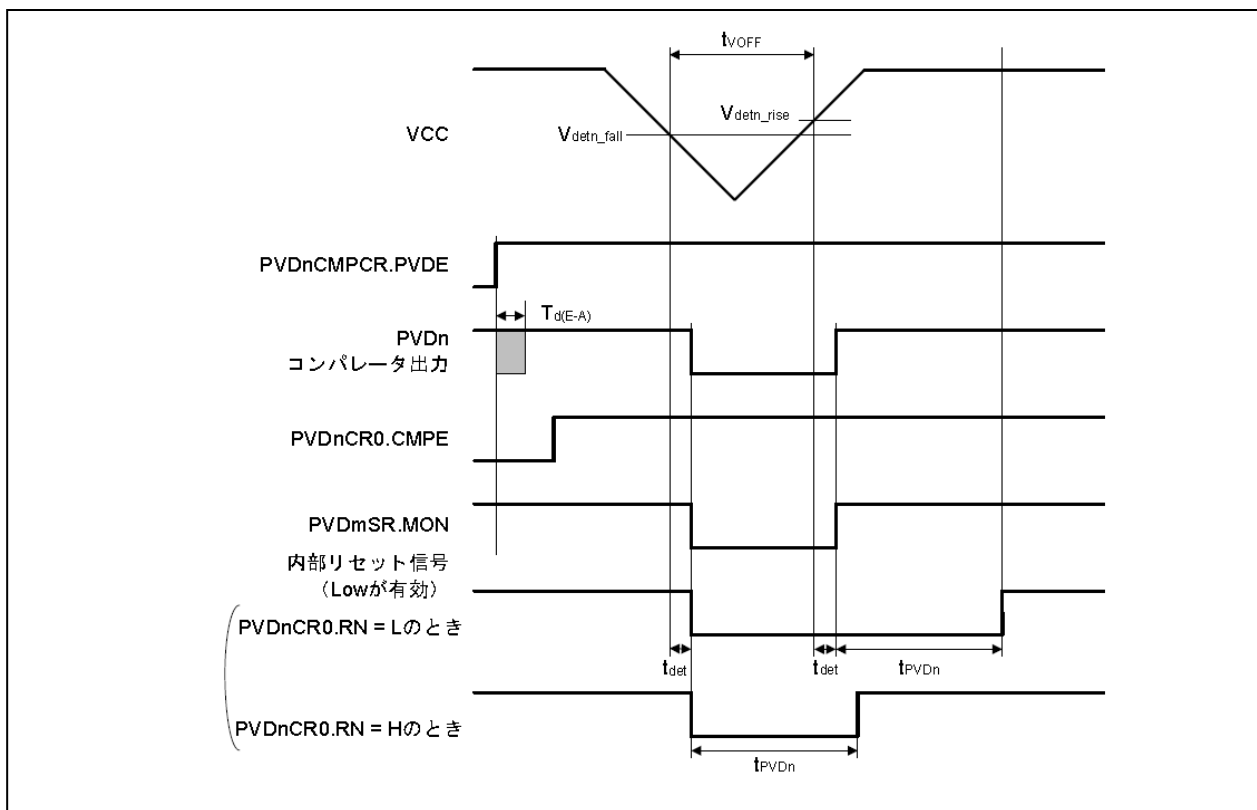


図 70.143 電圧検出回路タイミング (Vdetn) (n = 1, 2, 4, 5)

57. 表 70.121 コード MRAM 特性の訂正

再プログラムサイクルに注記を追加します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.121	4337	表 69.121	4324	表 62.114	3934	表 60.109	3732

訂正前

表 70.121 コード MRAM 特性

項目	メモ リ	MRICK = 250 MHz			MRICK = 250 MHz			MRICK = 250 MHz			MRICK = 250 MHz			単位	測定条件
		Min	Typ(注 4)	Max	Min	Typ(注 4)	Max	Min	Typ(注 4)	Max	Min	Typ(注 4)	Max		
再プログラ ムサイクル	NPC	100 000(注 1)	—	—	100 000(注 1)	—	—	100 000(注 1)	—	—	100 000(注 1)	—	—	回	—

訂正後

項目	メモ リ	MRICK = 250 MHz			MRICK = 250 MHz			MRICK = 250 MHz			MRICK = 250 MHz			単位	測定条件
		Min	Typ(注 4)	Max	Min	Typ(注 4)	Max	Min	Typ(注 4)	Max	Min	Typ(注 4)	Max		
再プログラ ムサイクル(注 9)	NPC	100 000(注 1)	—	—	100 000(注 1)	—	—	100 000(注 1)	—	—	100 000(注 1)	100 000(注 1)	—	回	—

注 9. 再プログラムサイクルは、32 バイトのコード MRAM アドレス空間でのプログラミング回数です。同じアドレスに同じデータをプログラムすると、再プログラムサイクル数は 1 回増加します。再プログラムサイクルが n 回 (n = 100,000) の場合、32 バイトのコード MRAM アドレス空間ごとに n 回のプログラムが可能です。

58. 表 70.122 エクストラ MRAM (MRAM 領域) 特性の訂正

訂正前の表は非公開領域を含む値であったため削除し、70.125 MACI コマンド特性に記載されている「コンフィグレーション設定の命令時間」に変更します。これは公開領域のみを対象としています。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.122	4338	表 69.122	4325	表 62.115	3935	表 60.110	3733

訂正前

表 70.122 エクストラ MRAM (MRAM 領域) 特性

項目		デバイス	MRICLK = 125 MHz			MRICLK = 100 MHz			MRICLK = 75 MHz			MRICLK = 66 MHz			単位	測定条件
			Min	Typ ^(注4)	Max	Min	Typ ^(注4)	Max	Min	Typ ^(注4)	Max	Min	Typ ^(注4)	Max		
16 バイトのプログラム時間 ^{(注7)(注8)}	通常プログラムモード (MRPSC, MHSPEN = 0)	tPME	—	6.82 ^(注5)	75.8 ^(注6)	—	7.06 ^(注5)	76.6 ^(注6)	—	7.53 ^(注5)	80.7 ^(注6)	—	8.08 ^(注5)	85.2 ^(注6)	μs	—
	高速プログラムモード (MRPSC, MHSPEN = 1)	tPME	—	4.82 ^(注5)	73.8 ^(注6)	—	5.06 ^(注5)	74.6 ^(注6)	—	5.53 ^(注5)	78.7 ^(注6)	—	6.08 ^(注5)	83.2 ^(注6)	μs	—
再プログラムサイクル	N _{PC}		100000 ^(注1)	—	—	100000 ^(注1)	—	—	100000 ^(注1)	—	—	100000 ^(注1)	—	—	回	—
データ保持時間 ^(注2)	tDRP		10 ^{(注2)(注3)}	—	—	10 ^{(注2)(注3)}	—	—	10 ^{(注2)(注3)}	—	—	10 ^{(注2)(注3)}	—	—	年	T _j = +12 5°C

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1~最小値です。

注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。

注 3. この結果は信頼性試験から得られたものです。

注 4. VCC = 3.3 V および室温における基準値

注 5. Typ 条件で 50% のビットの書き換えを実行します。

注 6. 図 x.x のタイムアウト値は、最大値の約 1.1 倍です。(tPME + tPMC + 読み出し時間 (MRPCLK の 40 サイクル))

注 7. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

$$t_{PMC} (Typ) = 179.2/F_{MRPCLK} + 5.725 [\mu s], t_{PMC} (Max) = 1988/F_{MRPCLK} + 61.9 [\mu s] \text{ (通常プログラムモードの場合)}$$

$$t_{PMC} (Typ) = 179.2/F_{MRPCLK} + 3.725 [\mu s], t_{PMC} (Max) = 1988/F_{MRPCLK} + 59.9 [\mu s] \text{ (高速プログラムモードの場合)}$$

注 8. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトラーションのない独立したプログラム動作のためのものです。

訂正後

表 70.122 オプション設定メモリ (コンフィグレーション設定領域) 特性

Parameter	オプション	MRICLK = 125 MHz			MRICLK = 100 MHz			MRICLK = 75 MHz			MRICLK = 66 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max	Min	Typ(注4)	Max	Min	Typ(注4)	Max		
コンフィグレーション設定の命令時間(注5)(注7)	通常プログラムモード (MRPSC, MHSPEN = 0)	—	0.35	8.19(注6)	—	0.356	8.3*6	—	0.372	8.83(注6)	—	0.399	9.42(注6)	ms	—
	高速プログラムモード (MRPSC, MHSPEN = 1)	—	0.06255	7.85(注6)	—	0.0725	7.96(注6)	—	0.0882	8.5(注6)	—	0.0978	9.06(注6)	ms	—
アップデートサイクル(注8)	N _{UPC}	10000(注1)	—	—	10000(注1)	—	—	10000(注1)	—	—	10000(注1)	—	—	回	—
データ保持時間(注2)	t _{DRP}	10(注2)(注3)	—	—	10(注2)(注3)	—	—	10(注2)(注3)	—	—	10(注2)(注3)	—	—	年	T _j =+125°C

注 1. アップデート後のすべての特性を保証する最小回数です。保証範囲は 1 から最小値です。

注 2. アップデートが仕様範囲内で行われた時の特性の最小値です。

注 3. この結果は信頼性試験から得られたものです。

注 4. VCC = 3.3 V、および室温における基準値

注 5. 他の周波数での更新時間を計算するには、以下の近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

$$t_{PCFG} (Typ) = 6.146/F_{MRPCLK} + 0.3133 [msec], t_{PCFG} (Max) = 266.5/F_{MRPCLK} + 6.331 [msec] \text{ (通常プログラムモードの場合)}$$

$$t_{PCFG} (Typ) = 5.184/F_{MRPCLK} + 0.02754 [msec], t_{PCFG} (Max) = 267.5/F_{MRPCLK} + 6.025 [msec] \text{ (高速プログラムモードの場合)}$$

注 6. この表の値は、5 回 (16 バイト) のプログラミング回数に基づいて計算されています。図 60.16 コンフィグレーション設定コマンドの使用法のタイムアウト値は、最大値 (t_{PCFG} + t_{PMC} + リード時間 (MRPCLK 40 サイクル)) の約 1.1 倍です。

注 7. エクストラ MRAM のリードとプログラム動作は同時に実行できません。この値は、リードとプログラム間の調停を行わない独立したプログラム動作の場合です。

注 8. アップデートサイクルとは、コンフィグレーション領域に対して発行できるコンフィグレーションセットコマンドの回数です。同じアドレスに同じデータをプログラミングすると、アップデートサイクル数が 1 つ増加します。

59. 表 70.125 MACI コマンド特性の訂正

コンフィグレーション設定の命令時間は表 70.122 オプション設定メモリ (コンフィグレーション設定領域) 特性に移動します。

章	RA8P1		RA8D2		RA8M2		RA8T2	
	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ	章/表/図 番号	ページ
電気的特性	表 70.125	4340	表 69.125	4327	表 62.118	3937	表 60.113	3735

訂正前

表 70.125 MACI コマンド特性

項目	パラメータ	MRICLK = 125 MHz			MRICLK = 100 MHz			MRICLK = 75 MHz			MRICLK = 66 MHz			単位	測定条件	
		Min	Typ(注4)	Max	Min	Typ(注4)	Max	Min	Typ(注4)	Max	Min	Typ(注4)	Max			
強制停止コマンドの命令時間(注2)	t _{FS}	—	—	3.35 ^(注3)	—	—	3.38 ^(注3)	—	—	3.47 ^(注3)	—	—	3.7 ^(注3)	μs	—	
コンフィグレーション設定の命令時間(注2)	通常プログラムモード (MRPSC, MHSPEN = 0)	t _{PCFG}	—	0.35	8.19 ^(注6)	—	0.356	8.3 ^(注6)	—	0.372	8.83 ^(注6)	—	0.399	9.42 ^(注6)	ms	—
	高速プログラムモード (MRPSC, MHSPEN = 1)	t _{PCFG}	—	0.0665	7.85 ^(注6)	—	0.0725	7.96 ^(注6)	—	0.0882	8.5 ^(注6)	—	0.0978	9.06 ^(注6)	ms	—
インクリメントカウンタの命令時間(注2)	t _{INCC}	—	0.252	1.61 ^(注5)	—	0.252	1.61 ^(注5)	—	0.252	1.61 ^(注5)	—	0.252	1.61 ^(注5)	ms	—	
読み出しカウンタの命令時間(注2)	t _{RDC}	—	—	0.156 ^(注6)	—	—	0.182 ^(注6)	—	—	0.243 ^(注6)	—	—	0.276 ^(注6)	μs	—	

注 1. VCC = 3.3 V および室温における基準値

注 2. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

$$t_{FS} (Max) = 38.62/F_{MRPCLK} + 3.155 [us]$$

$$t_{PCFG} (Typ) = 6.146/F_{MRPCLK} + 0.3133 [msec], t_{PCFG} (Max) = 266.5/F_{MRPCLK} + 6.331 [msec] \text{ (通常プログラムモードの場合)}$$

$$t_{PCFG} (Typ) = 5.184/F_{MRPCLK} + 0.02754 [msec], t_{PCFG} (Max) = 267.5/F_{MRPCLK} + 6.025 [msec] \text{ (高速プログラムモードの場合)}$$

$$t_{INCC} (Typ) = 0.3348/F_{MRPCLK} + 0.2533 [msec], t_{INCC} (Max) = 0.8698/F_{MRPCLK} + 1.62 [msec]$$

$$t_{RDC} (Max) = 19.13/F_{MRPCLK} + 0.004099 [usec]$$

注 3. 図 x.x のタイムアウト値は、最大値の約 1.1 倍です。(t_{FS} + 読み出し時間 (MRPCLK の 40 サイクル))

注 4. この表の値は、5 回プログラミング (16 バイト) の時間に基づいて計算されています。図 x.x のタイムアウト値は、最大値の約 1.1 倍です (t_{PCFG} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))。

注 5. この表の値は、2 回プログラミング (32 バイト) の時間に基づいて計算されています。図 x.x のタイムアウト値は、最大値の約 1.1 倍です (t_{INCC} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))。

注 6. カウンタの読み出し時間は、MRPCLK での 100 サイクル分です。図 x.x のタイムアウト値は、最大値の約 1.1 倍です (t_{RDC} + 読み出し時間 (MRPCLK の 40 サイクル))。

訂正後

表 70.125 MACI コマンド特性

項目	シンボル	MRICLK = 125 MHz			MRICLK = 100 MHz			MRICLK = 75 MHz			MRICLK = 66 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max	Min	Typ(注4)	Max	Min	Typ(注4)	Max		
強制停止コマンドの命令時間(注2)	T _{FS}	—	—	3.35(注3)	—	—	3.38(注3)	—	—	3.47(注3)	—	—	3.7(注3)	μs	—
インクリメントカウンタの命令時間(注2)	t _{INCC}	—	0.252	1.61(注4)	—	0.252	1.61(注4)	—	0.252	1.61(注4)	—	0.252	1.61(注4)	ms	—
読み出しカウンタの命令時間(注2)	t _{RDC}	—	—	0.156(注5)	—	—	0.182(注5)	—	—	0.243(注5)	—	—	0.276(注5)	μs	—

注 1. VCC = 3.3 V および室温における基準値

注 2. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

$$t_{FS} (Max) = 38.62/F_{MRPCLK} + 3.155 [us]$$

$$t_{INCC} (Typ) = 0.3348/F_{MRPCLK} + 0.2533 [msec], t_{INCC} (Max) = 0.8698/F_{MRPCLK} + 1.62 [msec]$$

$$t_{RDC} (Max) = 19.13/F_{MRPCLK} + 0.004099 [usec]$$

注 3. 図 60.15 強制終了コマンドの使用法のタイムアウト値は、最大値の約 1.1 倍です。(t_{FS} + 読み出し時間(MRPCLK 40 サイクル))

注 4. この表の値は、2 回プログラミング(32 バイト)の回数に基づいて計算されています。図 60.17 カウンタインクリメントコマンドの使用法のタイムアウト値は、最大値の約 1.1 倍です。(t_{INCC} + t_{PMC} + 読み出し時間(MRPCLK 40 サイクル))

注 5. カウンタ読み出し時間は、MRPCLK での 100 サイクル分です。図 60.18 カウンタ読み出しコマンドの使用法のタイムアウト値は、最大値の約 1.1 倍です。(t_{RDC} + 読み出し時間(MRPCLK 40 サイクル))

参照ドキュメント

該当製品	マニュアルタイトル	ドキュメント番号
RA8P1	RA8P1 グループ ユーザーズマニュアル ハードウェア編 Rev. 1.20	R01UH1064JJ0120
RA8D2	RA8D2 グループ ユーザーズマニュアル ハードウェア編 Rev. 1.20	R01UH1065JJ0120
RA8M2	RA8M2 グループ ユーザーズマニュアル ハードウェア編 Rev. 1.20	R01UH1066JJ0120
RA8T2	RA8T2 グループ ユーザーズマニュアル ハードウェア編 Rev. 1.20	R01UH1067JJ0120