

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0150A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G16 ユーザーズマニュアル Rev.1.30 の記載変更		情報分類	技術情報	
適用製品	RL78/G16 グループ	対象ロット等 全ロット	関連資料	RL78/G16 ユーザーズマニュアル ハードウェア編 Rev.1.30 R01UH0980JJ0130 (May. 2025)	

RL78/G16 ユーザーズマニュアル ハードウェア編 Rev.1.30 (R01UH0980JJ0130) において、下記訂正が
ございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
1.5.1 10 ピン製品	p.41	誤記訂正
図 2-6 端子タイプ7-31-5 の端子ブロック図	p.68	誤記訂正
表 3-6 拡張SFR (2nd SFR) 一覧 (1/6)	p.100	誤記訂正
4.3.7 タッチ端子機能選択レジスタ0-1 (TSSEL0-1)	p.150	誤記訂正
4.3.8 TSCAP 端子の設定レジスタ (VTSEL)	p.151	誤記訂正
表 4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (3/14)	p.157	誤記訂正
4.5.3 使用するポート機能および兼用機能のレジスタ設定例	p.167	誤記訂正
15.3.2 CTSU 制御レジスタ0 (CTSUCR0)	p.705, p.706	誤記訂正
15.3.20 タッチ端子機能選択レジスタ0-1 (TSSEL0-1)	p.733	誤記訂正
15.3.21 TSCAP 端子の設定レジスタ (VTSEL)	p.734	誤記訂正
15.4.2 計測モード	p.743, p.746, p.750	誤記訂正
15.4.3 複数モードに関わる共通事項	p.757	誤記訂正
26.6.4 SPOR 回路特性	p.915	誤記訂正
27.6.4 SPOR 回路特性	p.939	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0980JJ0130	
1	1.5.1 10ピン製品		p.41	p.3
2	図 2-6 端子タイプ7-31-5 の端子ブロック図		p.68	p.4
3	表 3-6 拡張SFR (2nd SFR) 一覧 (1/6)		p.100	p.5
4	4.3.7 タッチ端子機能選択レジスタ0-1 (TSSEL0-1)		p.150	p.6
5	4.3.8 TSCAP 端子の設定レジスタ (VTSEL)		p.151	p.7
6	表 4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (3/14)		p.157	p.8
7	4.5.3 使用するポート機能および兼用機能のレジスタ設定例		p.167	p.9
8	15.3.2 CTSU 制御レジスタ0 (CTSUCR0)		p.705, p.706	p.10 ~ p.12
9	15.3.20 タッチ端子機能選択レジスタ0-1 (TSSEL0-1)		p.733	p.13
10	15.3.21 TSCAP 端子の設定レジスタ (VTSEL)		p.734	p.14
11	15.4.2 計測モード		p.743, p.746, p.750	p.15 ~ p.17
12	15.4.3 複数モードに関わる共通事項		p.757	p.18 ~ p.20
13	26.6.4 SPOR 回路特性		p.915	p.21
14	27.6.4 SPOR 回路特性		p.939	p.22

誤記訂正の該当箇所は、**誤)**太字下線、**正)**グレー・ハッチングで記載します。

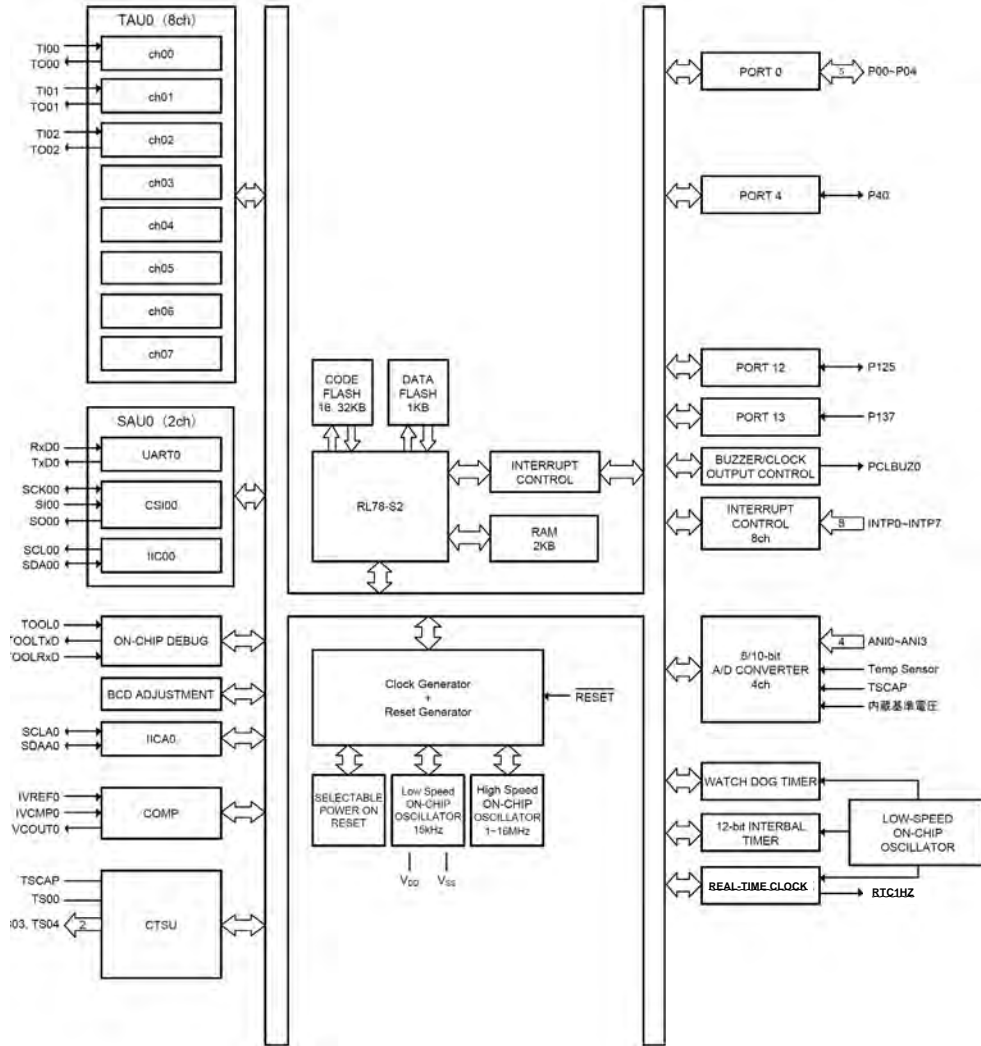
発行文書履歴

RL78/G16 ユーザーズマニュアル Rev.1.30 誤記訂正通知 発行文書履歴

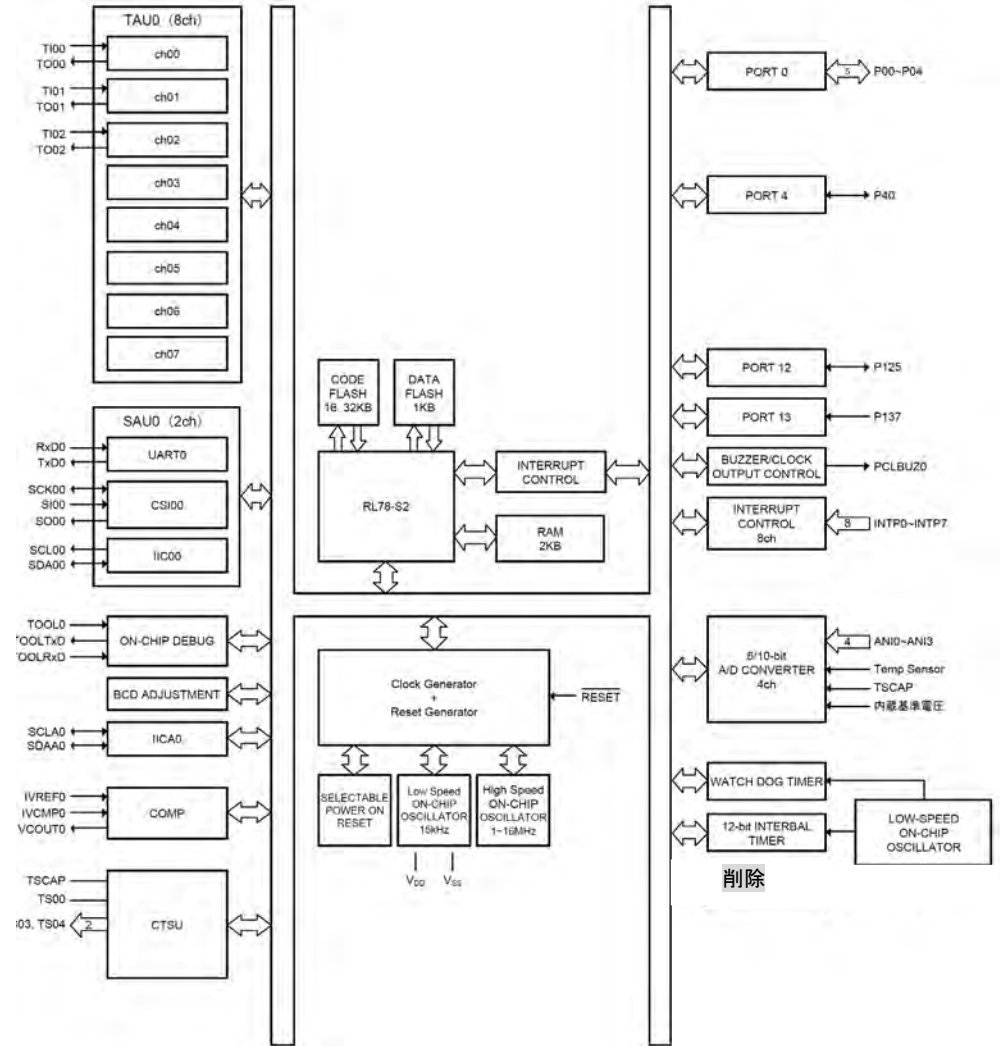
文書番号	発行日	記事
TN-RL*-A0150A/J	2025年10月30日	初版発行 訂正一覧の No.1 ~ No.14 の誤記訂正 (本通知です。)

1. 1.5.1 10ピン製品 (p.41)

誤)

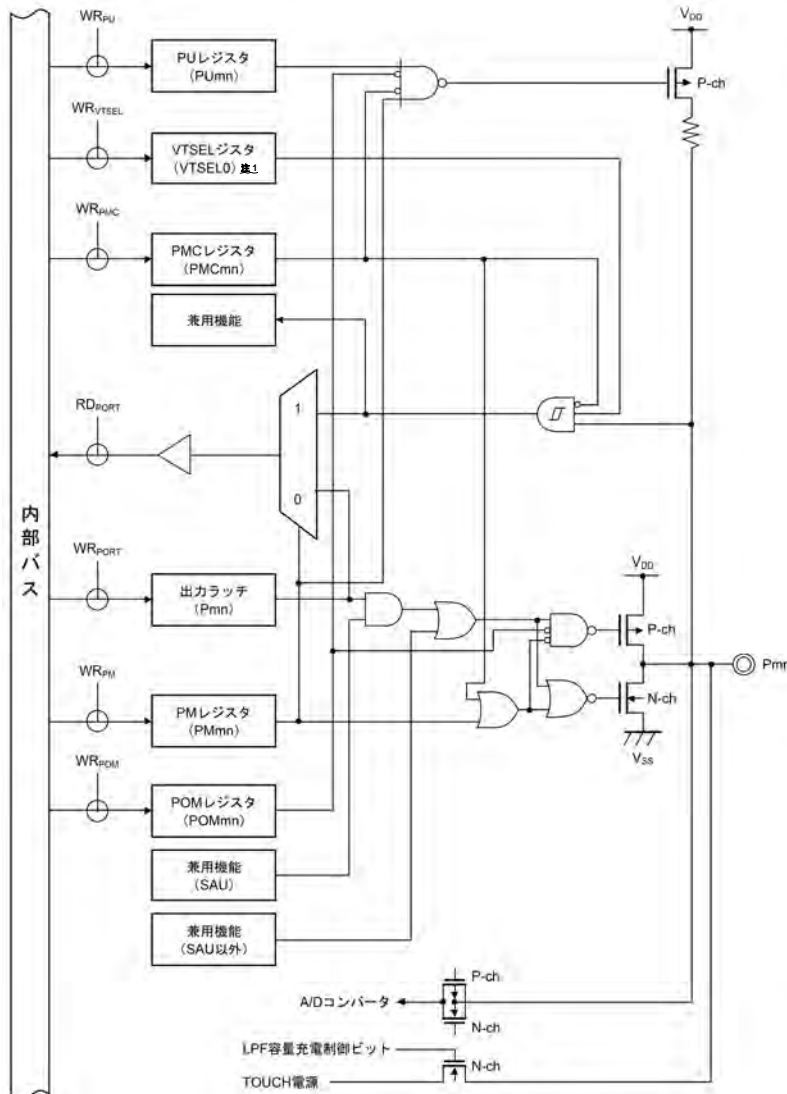


正)



2. 図 2-6 端子タイプ 7-31-5 の端子ブロック図 (p.68)

誤)

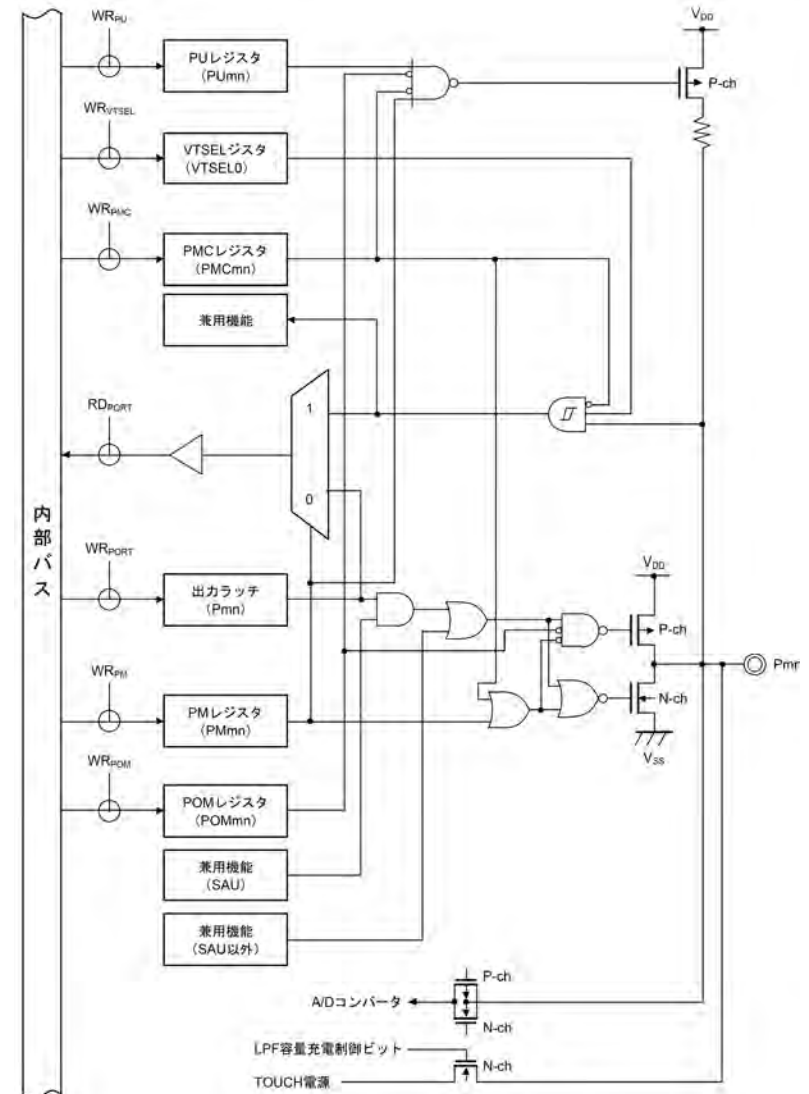


注 1. 入出力回路 7-31-5 中の VTSEL レジスタの機能は、TSSELn (n=0~2) レジスタのビットのいずれかを 1 に設定した場合のみ有効となる。

備考 1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正)



備考 1. 兼用機能は、「2.1 ポート機能」を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

3. 表 3-6 拡張 SFR (2nd SFR) 一覧 (1/6) (p.100)

誤)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1 ビット	8 ビット	16 ビット	
F0010H	A/D コンバータ・モード・レジスタ 2	ADM2	R/W	○	○	—	00H
F0013H	A/D テスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	ブルアップ抵抗オプション・レジスタ 0	PU0	R/W	○	○	—	00H
F0031H	ブルアップ抵抗オプション・レジスタ 1	PU1	R/W	○	○	—	00H
F0032H	ブルアップ抵抗オプション・レジスタ 2	PU2	R/W	○	○	—	00H
F0034H	ブルアップ抵抗オプション・レジスタ 4	PU4	R/W	○	○	—	01H
F003CH	ブルアップ抵抗オプション・レジスタ 12	PU12	R/W	○	○	—	00H
F004EH	ポート入力モード・レジスタ 14	PIM14	R/W	○	○	≡	00H
F0050H	ポート出力モード・レジスタ 0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ 1	POM1	R/W	○	○	—	00H
F0052H	ポート出力モード・レジスタ 2	POM2	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ 4	POM4	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ 0	PMC0	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロール・レジスタ 2	PMC2	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ 0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ 1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ 0	TIS0	R/W	—	○	—	00H
F0075H	周辺 I/O リダイレクション・レジスタ 2	PIOR2	R/W	—	○	—	00H
F0076H	周辺 I/O リダイレクション・レジスタ 6	PIOR6	R/W	—	○	—	00H
F0077H	周辺 I/O リダイレクション・レジスタ 0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	周辺 I/O リダイレクション・レジスタ 1	PIOR1	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ 1	PER1	R/W	○	○	—	00H
F007BH	周辺 I/O リダイレクション・レジスタ 4	PIOR4	R/W	—	○	—	00H
F007CH	周辺 I/O リダイレクション・レジスタ 3	PIOR3	R/W	—	○	—	00H
F007DH	周辺 I/O リダイレクション・レジスタ 5	PIOR5	R/W	—	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定 ^{※1}
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^{※2}
F00BEH	フラッシュ・シーケンサ・周波数設定レジスタ	FSSET	R/W	—	○	—	00H
F00C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F00C1H	フラッシュ・シーケンサ制御レジスタ	FSSQ	R/W	—	○	—	00H
F00C2H	フラッシュ・アドレス・ポインタL	FLAPL	R/W	—	○	—	00H
F00C3H	フラッシュ・アドレス・ポインタH	FLAPH	R/W	—	○	—	00H
F00C4H	フラッシュ・エンド・アドレス・ポインタL	FLSEDL	R/W	—	○	—	00H
F00C5H	フラッシュ・エンド・アドレス・ポインタH	FLSEDH	R/W	—	○	—	00H
F00C6H	フラッシュ・シーケンサ・ステータス・レジスタL	FSASTL	R	—	○	—	00H

正)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1 ビット	8 ビット	16 ビット	
F0010H	A/D コンバータ・モード・レジスタ 2	ADM2	R/W	○	○	—	00H
F0013H	A/D テスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	ブルアップ抵抗オプション・レジスタ 0	PU0	R/W	○	○	—	00H
F0031H	ブルアップ抵抗オプション・レジスタ 1	PU1	R/W	○	○	—	00H
F0032H	ブルアップ抵抗オプション・レジスタ 2	PU2	R/W	○	○	—	00H
F0034H	ブルアップ抵抗オプション・レジスタ 4	PU4	R/W	○	○	—	01H
F003CH	ブルアップ抵抗オプション・レジスタ 12	PU12	R/W	○	○	—	00H
削除							
F0050H	ポート出力モード・レジスタ 0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ 1	POM1	R/W	○	○	—	00H
F0052H	ポート出力モード・レジスタ 2	POM2	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ 4	POM4	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ 0	PMC0	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロール・レジスタ 2	PMC2	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ 0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ 1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ 0	TIS0	R/W	—	○	—	00H
F0075H	周辺 I/O リダイレクション・レジスタ 2	PIOR2	R/W	—	○	—	00H
F0076H	周辺 I/O リダイレクション・レジスタ 6	PIOR6	R/W	—	○	—	00H
F0077H	周辺 I/O リダイレクション・レジスタ 0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	周辺 I/O リダイレクション・レジスタ 1	PIOR1	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ 1	PER1	R/W	○	○	—	00H
F007BH	周辺 I/O リダイレクション・レジスタ 4	PIOR4	R/W	—	○	—	00H
F007CH	周辺 I/O リダイレクション・レジスタ 3	PIOR3	R/W	—	○	—	00H
F007DH	周辺 I/O リダイレクション・レジスタ 5	PIOR5	R/W	—	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定 ^{※1}
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^{※2}
F00BEH	フラッシュ・シーケンサ・周波数設定レジスタ	FSSET	R/W	—	○	—	00H
F00C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F00C1H	フラッシュ・シーケンサ制御レジスタ	FSSQ	R/W	—	○	—	00H
F00C2H	フラッシュ・アドレス・ポインタL	FLAPL	R/W	—	○	—	00H
F00C3H	フラッシュ・アドレス・ポインタH	FLAPH	R/W	—	○	—	00H
F00C4H	フラッシュ・エンド・アドレス・ポインタL	FLSEDL	R/W	—	○	—	00H
F00C5H	フラッシュ・エンド・アドレス・ポインタH	FLSEDH	R/W	—	○	—	00H
F00C6H	フラッシュ・シーケンサ・ステータス・レジスタL	FSASTL	R	—	○	—	00H

4. 4.3.7 タッチ端子機能選択レジスタ 0-1 (TSSEL0-1) (p.150)

誤)

P01, P03-P07, P16, P17, P20-P23, P41-P43 端子をタッチ端子機能以外 (兼用機能) / タッチ端子機能のどちらで使用するかを設定するレジスタです。

TSSEL0-1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 4-7 タッチ端子機能選択レジスタ 0-1 (TSSEL0-1) のフォーマット

アドレス: F030AH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TSSEL0	TSSEL07	TSSEL06	TSSEL05	TSSEL04	TSSEL03	TSSEL02	TSSEL01	TSSEL00

アドレス: F030BH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TSSEL1	0	TSSEL14	TSSEL13	TSSEL12	TSSEL11	TSSEL10	TSSEL09	TSSEL08

TSSELxx (xx=0-14)	Pmn 端子のタッチ端子機能以外 (兼用機能) / タッチ端子機能の指定 (m=0, 1, 2, 4, n=0-7)
0	タッチ端子機能以外 (兼用機能) として使用
1	タッチ端子機能として使用

備考 タッチ端子機能として使用する (TSSELxx=1) 場合には必ず PUm レジスタの PUm_n ビット=0、POM_m レジスタの POM_{m_n} ビット=0、PIM_m レジスタの PIM_{m_n} ビット=0 に設定してください。

- ・ 10pin 製品 : TSSEL00/03/04 のみ有効
- ・ 16pin 製品 : TSSEL00/03/04/05/06/07/13 のみ有効
- ・ 20/24pin 製品 : TSSEL00/03/04/05/06/07/08/09/10/11/13 のみ有効

正)

P01, P03-P07, P16, P17, P20-P23, P41-P43 端子をタッチ端子機能以外 (兼用機能) / タッチ端子機能のどちらで使用するかを設定するレジスタです。

TSSEL0-1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 4-7 タッチ端子機能選択レジスタ 0-1 (TSSEL0-1) のフォーマット

アドレス: F030AH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TSSEL0	TSSEL07	TSSEL06	TSSEL05	TSSEL04	TSSEL03	TSSEL02	TSSEL01	TSSEL00

アドレス: F030BH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TSSEL1	0	TSSEL14	TSSEL13	TSSEL12	TSSEL11	TSSEL10	TSSEL09	TSSEL08

TSSELxx (xx=0-14)	Pmn 端子のタッチ端子機能以外 (兼用機能) / タッチ端子機能の指定 (m=0, 1, 2, 4, n=0-7)
0	タッチ端子機能以外 (兼用機能) として使用
1	タッチ端子機能として使用

TSSELxx	Pmn/TSxx	TSSELxx	Pmn/TSxx	TSSELxx	Pmn/TSxx
TSSEL00	P01/TS00	TSSEL05	P05/TS05	TSSEL10	P21/TS10
TSSEL01	P16/TS01	TSSEL06	P06/TS06	TSSEL11	P20/TS11
TSSEL02	P17/TS02	TSSEL07	P07/TS07	TSSEL12	P42/TS12
TSSEL03	P03/TS03	TSSEL08	P23/TS08	TSSEL13	P41/TS13
TSSEL04	P04/TS04	TSSEL09	P22/TS09	TSSEL14	P43/TS14

備考 タッチ端子機能として使用する (TSSELxx=1) 場合には必ず PUm レジスタの PUm_n ビット=0、POM_m レジスタの POM_{m_n} ビット=0 に設定してください。

- ・ 10pin 製品 : TSSEL00/03/04 のみ有効
- ・ 16pin 製品 : TSSEL00/03/04/05/06/07/13 のみ有効
- ・ 20/24pin 製品 : TSSEL00/03/04/05/06/07/08/09/10/11/13 のみ有効

5. 4.3.8 TSCAP 端子の設定レジスタ (VTSEL) (p.151)

誤)

タッチ端子機能を使用する場合（任意の TSSELxx ビット=1 を設定した時）、VTSEL レジスタの設定は有効になります。P02 ポートの入力禁止/P02 ポートの入力許可を選択するレジスタです。VTSEL レジスタは、8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図 4-8 TSCAP 端子の設定レジスタ (VTSEL) のフォーマット

32 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VTSEL	0	0	0	0	0	0	0	VTSEL0	F030DH	00H	R/W
VTSEL0	P02 ポートの入力禁止/許可の設定										
0	タッチ端子機能を使用する場合、P02 ポートの入力禁止										
1	タッチ端子機能を使用する場合、P02 ポートの入力許可										

正)

タッチ端子機能を使用する場合（任意の TSSELxx ビット=1 を設定した時）、VTSEL レジスタの設定は有効になります。P02 ポートの入力禁止/P02 ポートの入力許可を選択するレジスタです。VTSEL レジスタは、8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図 4-8 TSCAP 端子の設定レジスタ (VTSEL) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VTSEL	0	0	0	0	0	0	0	VTSEL0	F030DH	00H	R/W
VTSEL0	P02 ポートの入力禁止/許可の設定										
0	タッチ端子機能を使用する場合、P02 ポートの入力禁止										
1	デジタル入出力機能を使用する場合、P02 ポートの入力許可										

6. 表 4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (3/14) (p.157)

誤)

端子名称	使用機能		PIORr	POMP	PMCq	PMn	Pm	ISSELi	兼用機能出力		32ピン	24ピン	16ピン	10ピン
	機能名称	入出力							SAUの出力機能	SAU以外				
P02	P02	入力	—	—	0	1	x	≡	x	x	○	○	○	○
		出力	—	—	0	0	0/1	≡	SCK00/SCL00=1 (SCK20/SCL20)=1 ^{3,4} (SO11)=1 ^{3,1}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○
	ANI1	アナログ入力	—	—	1	1	x	≡	x	x	○	○	○	○
	TSCAP ^{3,7}	—	—	x	1	x	≡	≡	x	x	○	○	○	○
	SCK00	入力	PIOR21=0	—	0	1	x	≡	x	x	○	○	○	○
		出力	PIOR20=0	—	0	0	1	≡	(SCK20/SCL20)=1 ^{3,4} (SO11)=1 ^{3,1}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○
	SCL00	出力	—	—	0	0	1	≡	—	—	○	○	○	○
		出力	—	—	0	0	1	≡	—	—	○	○	○	○
	(SCK20)	入力	PIOR26=0	—	0	1	x	≡	x	x	○	—	—	—
		出力	PIOR25=1	—	0	0	1	≡	SCK00/SCL00=1 (SO11)=1 ^{3,1}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	—	—	—
	(SCL20)	出力	—	—	0	0	1	≡	—	—	○	—	—	—
	PCLBUZ0	出力	PIOR62=0 PIOR61=0 PIOR60=0	—	0	0	0	≡	x	VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○
	VCOUT0	出力	PIOR65=0 PIOR64=0 PIOR63=0	—	0	0	0	≡	x	PCLBUZ0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○
	INTP7	入力	PIOR55=0 PIOR54=0	—	0	1	x	≡	x	x	○	○	○	○
	(TI02)	入力	PIOR06=0	—	0	1	x	≡	x	x	○	○	○	—
	(TO02)	出力	PIOR05=1 PIOR04=0	—	0	0	0	≡	x	PCLBUZ0=0 VCOUT0=0 TO01=0	○	○	○	—
TI01	入力	PIOR03=0	—	0	1	x	≡	x	x	○	○	○	○	
TO01	出力	PIOR02=0	—	0	0	0	≡	x	PCLBUZ0=0 VCOUT0=0 (TO02)=0 ^{3,1}	○	○	○	○	
(SO11)	出力	PIOR24=0 PIOR23=0 PIOR22=1	—	0	0	1	≡	SCK00/SCL00=1 (SCK20/SCL20)=1 ^{3,4}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	—	
P03	P03	入力	—	x	0	1	x	0	x	x	○	○	○	○
		出力	—	x	0	0	0/1	0	(SO00/TxD0)=1 ^{3,1}	TO00=0 (TO05)=0 ^{3,1} SCLA0=0 ^{3,5}	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	—	—	○	○	○	○
	ANI2	アナログ入力	—	x	1	1	x	0	x	x	○	○	○	○
	TS03	入出力	x	x	x	1	0	1	x	x	○	○	○	○
	TO00	出力	PIOR01=0 PIOR00=0	x	0	0	0	0	x	(TO05)=0 ^{3,1} SCLA0=0 ^{3,5}	○	○	○	○
		出力	—	—	0	0	0	0	—	—	○	○	○	○
	INTP4	入力	PIOR47=0 PIOR46=0	x	0	1	x	0	x	x	○	○	○	○
	IVCMP0	入力	—	x	1	1	x	0	x	x	○	○	○	○
	(TI00)	入力	PIOR01=0 PIOR00=1	x	0	1	x	0	x	x	○	○	○	○
	(TI05)	入力	PIOR15=1	x	0	1	x	0	x	x	○	○	○	—
	(TO05)	出力	PIOR15=1	x	0	0	0	0	x	TO00=0 SCLA0=0 ^{3,5}	○	○	○	—
	(SO00)	出力	PIOR21=1	0/1	0	0	1	0	x	TO00=0	○	○	○	—
	(TxD0)	出力	PIOR20=0	0/1	0	0	1	0	x	TO05=0 ^{3,1} SCLA0=0 ^{3,5}	○	○	○	—
	RxD1	入力	PIOR31=0 PIOR30=0	x	0	1	x	0	x	x	○	○	○	—
	SCLA0	入出力	PIOR32=0	1	0	0	0	0	x	TO00=0 (TO05)=0 ^{3,1}	—	—	—	○

正)

端子名称	使用機能		PIORr	POMP	PMCq	PMn	Pm	VTSEL	兼用機能出力		32ピン	24ピン	16ピン	10ピン	
	機能名称	入出力							SAUの出力機能	SAU以外					
P02	P02	入力	—	—	0	1	x	1	x	x	○	○	○	○	
		出力	—	—	0	0	0/1	x	SCK00/SCL00=1 (SCK20/SCL20)=1 ^{3,4} (SO11)=1 ^{3,1}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○	
	ANI1	アナログ入力	—	—	1	1	x	x	x	x	○	○	○	○	
	TSCAP ^{3,7}	—	—	x	1	x	0	0	x	x	○	○	○	○	
	SCK00	入力	PIOR21=0	—	0	1	x	1	1	x	x	○	○	○	○
		出力	PIOR20=0	—	0	0	1	x	(SCK20/SCL20)=1 ^{3,4} (SO11)=1 ^{3,1}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○	
	SCL00	出力	—	—	0	0	1	x	—	—	○	○	○	○	
		出力	—	—	0	0	1	x	—	—	○	○	○	○	
	(SCK20)	入力	PIOR26=0	—	0	1	x	1	1	x	x	○	—	—	
		出力	PIOR25=1	—	0	0	1	x	SCK00/SCL00=1 (SO11)=1 ^{3,1}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	—	—	—	
	(SCL20)	出力	—	—	0	0	1	x	—	—	○	—	—	—	
	PCLBUZ0	出力	PIOR62=0 PIOR61=0 PIOR60=0	—	0	0	0	0	x	VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○	
	VCOUT0	出力	PIOR65=0 PIOR64=0 PIOR63=0	—	0	0	0	0	x	PCLBUZ0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	○	
	INTP7	入力	PIOR55=0 PIOR54=0	—	0	1	x	1	1	x	x	○	○	○	○
	(TI02)	入力	PIOR06=0	—	0	1	x	1	1	x	x	○	○	○	—
	(TO02)	出力	PIOR05=1 PIOR04=0	—	0	0	0	0	x	PCLBUZ0=0 VCOUT0=0 TO01=0	○	○	○	—	
TI01	入力	PIOR03=0	—	0	1	x	1	1	x	x	○	○	○	○	
TO01	出力	PIOR02=0	—	0	0	0	0	x	PCLBUZ0=0 VCOUT0=0 (TO02)=0 ^{3,1}	○	○	○	○		
(SO11)	出力	PIOR24=0 PIOR23=0 PIOR22=1	—	0	0	1	1	x	SCK00/SCL00=1 (SCK20/SCL20)=1 ^{3,4}	PCLBUZ0=0 VCOUT0=0 TO01=0 (TO02)=0 ^{3,1}	○	○	○	—	

端子名称	使用機能		PIORr	POMP	PMCq	PMn	Pm	TSSELi	兼用機能出力		32ピン	24ピン	16ピン	10ピン
	機能名称	入出力							SAUの出力機能	SAU以外				
P03	P03	入力	—	x	0	1	x	0	x	x	○	○	○	○
		出力	—	x	0	0	0/1	0	(SO00/TxD0)=1 ^{3,1}	TO00=0 (TO05)=0 ^{3,1} SCLA0=0 ^{3,5}	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	—	—	○	○	○	○
SCLA0	入出力	PIOR32=0	1	0	0	0	0	0	x	TO00=0 (TO05)=0 ^{3,1}	—	—	—	○

7. 4.5.3 使用するポート機能および兼用機能のレジスタ設定例 (p.167)

誤)

(略)

注 1. 16 ピン～32 ピン製品のみ

注 2. 20 ピン～32 ピン製品のみ

注 3. 24 ピン～32 ピン製品のみ

注 4. 32 ピン製品のみ

注 5. 10 ピン製品のみ

注 6. 16 ピン～20 ピン製品のみ

注 7. タッチ端子機能を使用する場合 (任意の TSELxx ビット=1 を設定した時)、
P02/TSCAP 端子は自動的に TSCAP 機能になります。

正)

(略)

注 1. 16 ピン～32 ピン製品のみ

注 2. 20 ピン～32 ピン製品のみ

注 3. 24 ピン～32 ピン製品のみ

注 4. 32 ピン製品のみ

注 5. 10 ピン製品のみ

注 6. 16 ピン～20 ピン製品のみ

8. 15.3.2 CTSU 制御レジスタ 0 (CTSUCR0) (p.705, p.706)

誤)
(p.705)

図 15-5 CTSU 制御レジスタ 0 (CTSUCR0) のフォーマット (2/3)

(略)

(1) サスペンド状態

外部トリガを選択 (CTSUCAP ビット=1) およびサスペンド機能を有効 (CTSUSNZ ビット=1) にし、CTSUSTRT ビットを 1 とすることで外部トリガ待機中となった状態では、CPU を STOP モードへ遷移させることができます。

STOP モード中に外部トリガの立ち上がりを検出すると、CTSU はクロック発生ブロックに対してクロックリクエストを発行し、通常動作モードへ遷移して計測を開始します。

正)

図 15-5 CTSU 制御レジスタ 0 (CTSUCR0) のフォーマット (2/3)

(略)

(1) サスペンド状態 (外部トリガ待ち)

外部トリガを選択 (CTSUCAP ビット=1) およびサスペンド機能を有効 (CTSUSNZ ビット=1) にし、CTSUSTRT ビットを “1” に設定することで、本状態に遷移します。このサスペンド状態では、CPU を STOP モードへ遷移させることが可能です。

外部トリガ信号の立ち上がりを検出すると、CTSU は計測を開始します。

計測終了した後に再計測をする場合には、計測終了割り込み後に以下の(a), (b)および(c)の手順で設定してください。

- (a) CTSUSTRT ビットに “0” を、CTSUINIT ビットに “1” を同時に書き込む (強制停止)
- (b) CTSUSNZ ビットを “0” に設定する (サスペンド機能無効)
- (c) CTSUCAP ビットを “1” および CTSUSNZ ビットを “1” にし、CTSUSTRT ビットを “1” に設定する (サスペンド状態 (外部トリガ待ち))

(p.705)

(2) SW サスペンド状態

ソフトウェアトリガを選択（CTSUCAP ビット=0）およびサスペンド機能を有効（CTSUSNZ ビット=1）にした場合のサスペンド状態です。

ソフトウェアにて CTSU ハードマクロをサスペンド状態にして低電力化するときには使用し
ません（この SW サスペンド状態で、CPU を STOP モードへ遷移させることもできます。
STOP モードからの復帰には割り込みを使用します）。

SW サスペンド状態から計測を開始する場合は、CTSUSNZ ビットに“0”を設定した後にベースクロックの64 サイクル以上（例：ベースクロックが0.5MHz の場合、128 μ s 以上）待ってから、CTSUSTRT ビットに“1”を設定することで計測を開始してください。計測終了後、再び SW サスペンド状態にするときは、CTSUSNZ ビットに“1”を設定してください。

(2) SW サスペンド状態

ソフトウェアトリガを選択（CTSUCAP ビット=0）、サスペンド機能を有効（CTSUSNZ ビット=1）および CTSUSTRT ビットを“0”に設定することで、本状態に遷移します。この SW サスペンド状態では、CPU を STOP モードへ遷移させることが可能です。STOP モードからの復帰には割り込み信号を使用します。

SW サスペンド状態から計測を開始する場合は、CTSUSNZ ビットに“0”を設定した後にベースクロックの64 サイクル以上（例：ベースクロックが0.5MHz の場合、128 μ s 以上）待ってから、CTSUSTRT ビットに“1”を設定することで計測を開始してください。計測終了後、再び SW サスペンド状態にするときは、CTSUSNZ ビットに“1”を設定してください。

(p.706)

図 15-5 CTSU 制御レジスタ 0 (CTSUCR0) のフォーマット (3/3)

(略)

- 注1. CTSUSTRT ビットを“1” (CTSU 動作開始) にすると同時に CTSUINIT ビットを“1” にしないでください。
- 注2. CTSUSC, CTSUMCH0, CTSUMCH1, CTSUST の各レジスタが初期化されます。
- 注3. CTSUCAP ビット、CTSUSNZ ビットは、CTSUSTRT ビットが“0”のときに設定してください。なお、CTSUSTRT ビットを“1”にすると同時に設定するのは問題ありません。
- 注4. STOP モード中にトリガが発生した場合、通常計測モードで計測をします。
- 注5. CTSUST レジスタの CTSUSTC[2:0]フラグで状態を判断できます。
 - 計測中 : CTSUST レジスタの CTSUSTC[2:0]フラグ≠000B
 - 外部トリガ待ち : CTSUST レジスタの CTSUSTC[2:0]フラグ=000B

図 15-5 CTSU 制御レジスタ 0 (CTSUCR0) のフォーマット (3/3)

(略)

- 注1. CTSUSTRT ビットを“1” (CTSU計測動作開始) にすると同時に CTSUINIT ビットを“1” にしないでください。
またCTSUCR0 レジスタはCTSUSTRT ビットが“1”の時、CTSUSTRT ビットに“0”を、CTSUINIT ビットに“1”を同時に書き込む設定 (強制停止) のみ可能です。
- 注2. CTSUSC, CTSUMCH0, CTSUMCH1, CTSUST の各レジスタが初期化されます。
- 注3. CTSUSTRT ビットが“0”のときにCTSUCAP ビット、CTSUSNZ ビットを設定してください。ただし、CTSUSTRT ビットを“1”にすると同時にCTSUCAP ビット、CTSUSNZ ビットを設定するのは問題ありません。
- 注4. STOP モード中にトリガが発生した場合、通常計測モードで計測をします。
- 注5. CTSUST レジスタの CTSUSTC[2:0]フラグで状態を判断できます。
 - 計測中 : CTSUST レジスタの CTSUSTC[2:0]フラグ≠000B
 - 外部トリガ待ち : CTSUST レジスタの CTSUSTC[2:0]フラグ=000B

9. 15.3.20 タッチ端子機能選択レジスタ 0-1 (TSSEL0-1) (p.733)

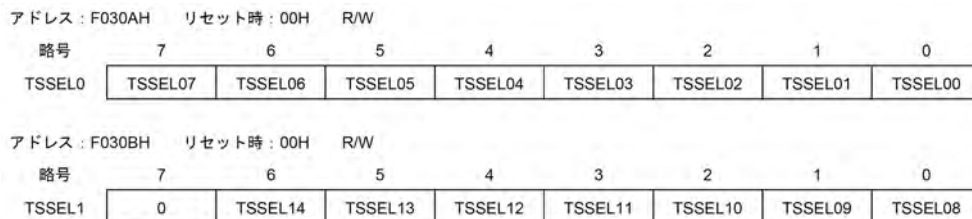
誤)

P01, P03-P07, P16, P17, P20-P23, P41-P43 端子をタッチ端子機能以外（兼用機能）／タッチ端子機能のどちらで使用するかを設定するレジスタです。

TSSEL0-1 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15-23 タッチ端子機能選択レジスタ0-1 (TSSEL0-1) のフォーマット



TSSELxx (xx=0-14)	Pmn 端子のタッチ端子機能以外（兼用機能）／タッチ端子機能の指定 (m=0, 1, 2, 4, n=0-7)
0	タッチ端子機能以外（兼用機能）として使用
1	タッチ端子機能として使用

備考 タッチ端子機能として使用する (TSSELxx=1) 場合には必ずPUm レジスタのPUmn ビット=0、POMm レジスタのPOMmn ビット=0、PIMm レジスタのPIMmn ビット=0 に設定してください。

- ・10pin 製品：TSSEL00/03/04 のみ有効
- ・16pin 製品：TSSEL00/03/04/05/06/07/13 のみ有効
- ・20/24pin 製品：TSSEL00/03/04/05/06/07/08/09/10/11/13 のみ有効

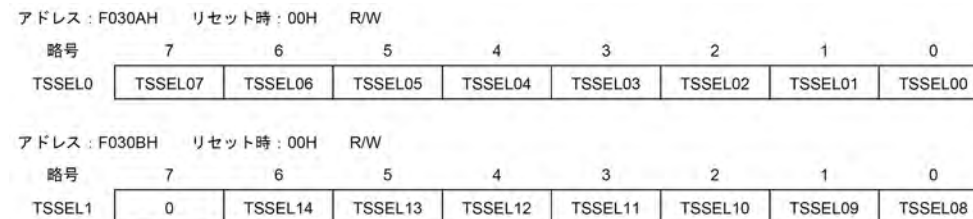
正)

P01, P03-P07, P16, P17, P20-P23, P41-P43 端子をタッチ端子機能以外（兼用機能）／タッチ端子機能のどちらで使用するかを設定するレジスタです。

TSSEL0-1 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15-23 タッチ端子機能選択レジスタ0-1 (TSSEL0-1) のフォーマット



TSSELxx	Pmn 端子のタッチ端子機能以外（兼用機能）／TSxxタッチ端子機能の指定
0	タッチ端子機能以外（兼用機能）として使用
1	タッチ端子機能として使用

TSSELxx	Pmn/TSxx	TSSELxx	Pmn/TSxx	TSSELxx	Pmn/TSxx
TSSEL00	P01/TS00	TSSEL05	P05/TS05	TSSEL10	P21/TS10
TSSEL01	P16/TS01	TSSEL06	P06/TS06	TSSEL11	P20/TS11
TSSEL02	P17/TS02	TSSEL07	P07/TS07	TSSEL12	P42/TS12
TSSEL03	P03/TS03	TSSEL08	P23/TS08	TSSEL13	P41/TS13
TSSEL04	P04/TS04	TSSEL09	P22/TS09	TSSEL14	P43/TS14

備考 タッチ端子機能として使用する (TSSELxx=1) 場合には必ずPUm レジスタのPUmn ビット=0、POMm レジスタのPOMmn ビット=0に設定してください。

- ・10pin 製品：TSSEL00/03/04 のみ有効
- ・16pin 製品：TSSEL00/03/04/05/06/07/13のみ有効
- ・20/24pin 製品：TSSEL00/03/04/05/06/07/08/09/10/11/13 のみ有効

10. 15.3.21 TSCAP 端子の設定レジスタ (VTSEL) (p.734)

誤)

タッチ端子機能を使用する場合（任意の TSSELxx ビット=1 を設定した時）、VTSEL レジスタの設定は有効になります。P02 ポートの入力禁止/P02 ポートの入力許可を選択するレジスタです。VTSEL レジスタは、8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図 4-8 TSCAP 端子の設定レジスタ (VTSEL) のフォーマット

32 ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VTSEL	0	0	0	0	0	0	0	VTSEL0	F030DH	00H	R/W
VTSEL0	P02 ポートの入力禁止/許可の設定										
0	タッチ端子機能を使用する場合、P02 ポートの入力禁止										
1	タッチ端子機能を使用する場合、P02 ポートの入力許可										

正)

タッチ端子機能を使用する場合（任意の TSSELxx ビット=1 を設定した時）、VTSEL レジスタの設定は有効になります。P02 ポートの入力禁止/P02 ポートの入力許可を選択するレジスタです。VTSEL レジスタは、8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図 4-8 TSCAP 端子の設定レジスタ (VTSEL) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VTSEL	0	0	0	0	0	0	0	VTSEL0	F030DH	00H	R/W
VTSEL0	P02 ポートの入力禁止/許可の設定										
0	タッチ端子機能を使用する場合、P02 ポートの入力禁止										
1	デジタル入出力を使用する場合、P02 ポートの入力許可										

11. 15.4.2 計測モード (p.743, p.746, p.750)

誤)

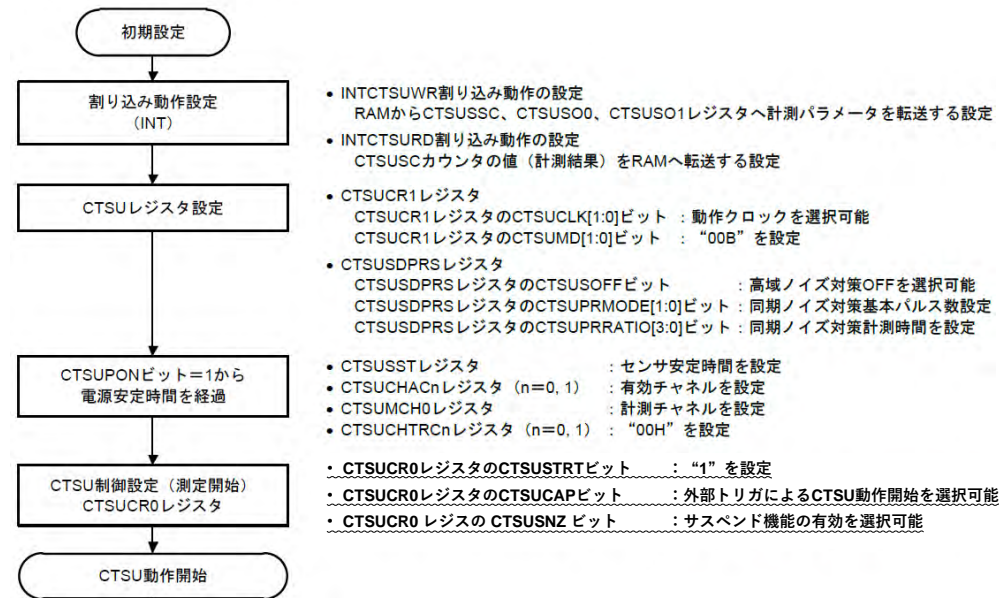
(p.743)

(3) 自己容量シングルスキャンモード動作

(略)

図 15-35 自己容量シングルスキャンモードのソフトウェアフローと動作例

自己容量シングルスキャンモード



(略)

正)

(3) 自己容量シングルスキャンモード動作

(略)

図 15-35 自己容量シングルスキャンモードのソフトウェアフローと動作例

自己容量シングルスキャンモード



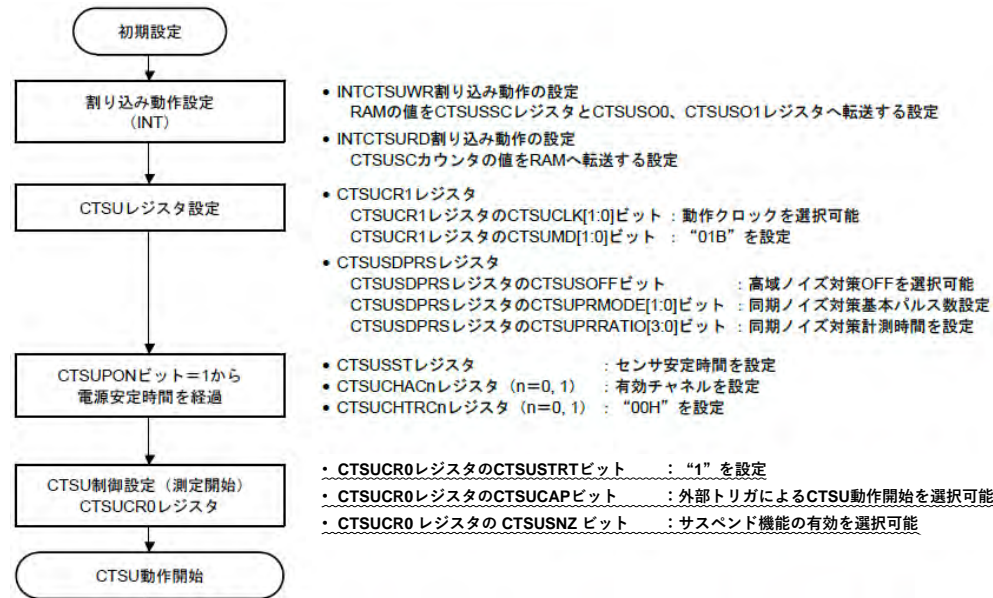
(略)

(p.746)

(4) 自己容量マルチスキャンモード動作

(略)

図 15-37 自己容量マルチスキャンモードのソフトウェアフローと動作例



(略)

(4) 自己容量マルチスキャンモード動作

(略)

図 15-37 自己容量マルチスキャンモードのソフトウェアフローと動作例



(略)

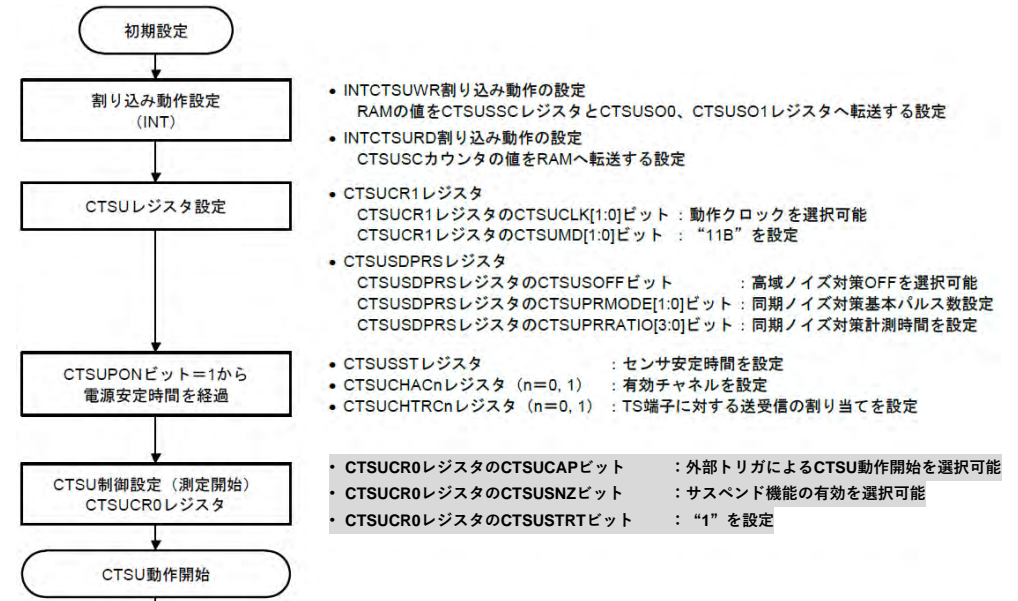
(p.750)

図 15-39 相互容量フルスキャンモードのソフトウェアフローと動作例



(略)

図 15-39 相互容量フルスキャンモードのソフトウェアフローと動作例



(略)

12. 15.4.3 複数モードに関わる共通事項 (p.757)

誤)

(ページ冒頭の空白部分：新項目のページを追加するため、詳細は右ページを参照。)

(4) 外部トリガ (CTSUCAP ビット=1) を用いた間欠動作

CTSUS のサスペンド機能を有効にし、計測動作開始の設定を行うことにより、外部トリガ信号を検出するまでの期間(計測待機状態)を低電力化することが可能です。

なお外部トリガを使用したシステムでは、外部トリガ信号 (12 ビット・インターバル・タイマのインターバル割り込み信号) で計測間隔を生成します。

低電力化を行う場合には、以下の手順で計測を開始してください。

● 構成

計測開始要因として外部トリガを使用するために、12 ビット・インターバル・タイマを設定してください。

● 計測開始前の設定

外部トリガを選択 (CTSUCAP ビット=1) およびサスペンド機能を有効 (CTSUSNZ ビット=1) にし、CTSUSTRT ビットを“1”に設定してください。このサスペンド状態では、CPU を STOP モードへ遷移させることが可能です。

CTSUSNZ ビットを“1”に設定した時点で、CTSUS ハードマクロはサスペンド状態へ移行します。

● サスペンド状態からの計測開始

外部トリガ信号の立ち上がりを検出すると、CTSUS は計測を開始します。

● 計測終了後の設定

計測終了した後に計測終了割り込みが発生します。その後、CPU 処理を実施してください。

計測終了した後に再計測をする場合には、計測終了割り込み後に以下の(a)、(b)および(c)の手順で設定してください。なお、計測終了割り込み後はCTSUSTRT ビットが“1”になっており、この時 CTSUCR0 レジスタは(a)の設定以外禁止です。そのため、必ず以下の手順で設定してください。

- (a) 外部トリガモードを終了します。
CTSUSTRT ビットに“0”を、CTSUINIT ビットに“1”を
同時に書き込む（強制停止）

なお、強制停止する前に計測結果の読み出しは完了させてください。

- (b) 一度、サスペンド機能を無効にします。
CTSUSNZ ビットを“0”に設定する
- (c) 再度、“サスペンド状態（外部トリガ待ち）”にします。
CTSUCAP ビットを“1”およびCTSUSNZ ビットを“1”にし、
CTSUSTRT ビットを“1”に設定する

(p.757)

(4) ソフトウェアトリガ (CTSUCAP ビット=0) を用いた間欠動作

外部トリガ (CTSUCAP ビット=1) を使用しないシステムでは、割り込みなどで計測間隔を生成し、ソフトウェアでタッチ計測動作を開始 (CTSUSTRT ビット=1) します。

タッチ計測開始待ち状態時にサスペンド機能を有効 (CTSUSNZ ビット=1) に設定することにより、CTSU ハードマクロがサスペンド状態となり、待機状態の低電力化が可能になります。

計測間隔が長く、低電力化を行う場合には以下の手順で計測を開始してください。

● 構成

12 ビット・インターバル・タイマは、システムのスタンバイ復帰要因として設定してください。

● システムのスタンバイ前の CTSU の設定

CTSUCAP ビットを“0”、CTSUSNZ ビットを“1”、CTSUSTRT ビットに“0”の状態ですべてシステムをスタンバイ状態へ遷移させてください。この SW サスペンド状態で、CPU を STOP モードへ遷移させることもできます。

CTSUSNZ ビットを“1”に設定した時点で、CTSU ハードマクロはサスペンド状態へ移行します。

● システムのスタンバイ復帰からの計測開始

システムのスタンバイ復帰後以下の手順で計測を開始してください。

1. CTSUSNZ ビットを“0”に設定し、CTSU ハードマクロのサスペンド状態を解除
2. ベースクロックの 64 サイクル以上のウェイト
例) ベースクロックが 0.5MHz の場合、128 μ s 以上のウェイト
(2 μ s \times 64 サイクル = 128 μ s)
3. ソフトウェアトリガにより、計測を開始

(5) ソフトウェアトリガ (CTSUCAP ビット=0) を用いた間欠動作

計測開始待ち状態時にサスペンド機能を有効にすることで、計測待機状態の低電力化が可能です。

なおソフトウェアトリガを使用したシステム (外部トリガを使用しないシステム) では、割り込みなどで計測間隔を生成し、ソフトウェアでタッチ計測動作を開始します。

低電力化を行う場合には、以下の手順で計測を開始してください。

● 構成

12 ビット・インターバル・タイマは、システムのスタンバイ復帰要因として設定してください。

● システムのスタンバイ前の CTSU の設定

ソフトウェアトリガを選択 (CTSUCAP ビット=0)、サスペンド機能を有効 (CTSUSNZ ビット=1) および CTSUSTRT ビットを“0”に設定した状態で、システムをスタンバイ状態へ遷移させてください。この SW サスペンド状態では、CPU を STOP モードへ遷移させることが可能です。

CTSUSNZ ビットを“1”に設定した時点で、CTSU ハードマクロはサスペンド状態へ移行します。

● システムのスタンバイ復帰からの計測開始

システムのスタンバイ復帰後に、以下の手順で計測を開始してください。

1. CTSUSNZ ビットを“0”に設定することで、CTSU ハードマクロのサスペンド状態を解除
2. ベースクロックの 64 サイクル以上のウェイトを確保
例) ベースクロックが 0.5MHz の場合、128 μ s 以上のウェイト
(2 μ s \times 64 サイクル = 128 μ s)
3. CTSUSTRT ビットを“1”に設定することで計測を開始

● 計測終了後の設定

計測終了した後に計測終了割り込みが発生します。その後、CPU 処理を実施してください。計測終了後、再び SW サスペンド状態にするときは、CTSUSNZ ビットに“1”を設定してください。

13. 26.6.4 SPOR 回路特性 (p.915)

誤)

[TA=-40~+85°C, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VSPOR0	電源立ち上がり時	4.08	4.28	4.45	V
		VSPDR0	電源立ち下がり時	4.00	4.20	4.37	V
		VSPOR1	電源立ち上がり時	2.76	2.90	3.02	V
		VSPDR1	電源立ち下がり時	2.70	2.84	2.96	V
		VSPOR2	電源立ち上がり時	2.44	2.57	2.68	V
		VSPDR2	電源立ち下がり時	2.40	2.52	2.62	V
		VSPOR3	電源立ち上がり時		2.16		V
		VSPDR3	電源立ち下がり時		2.11		V
最小パルス幅 ^{注1}	TSPW		300			μs	

注 1. VDD が VSPDR を下回った場合に、SPOR 回路によるリセット動作に必要な時間です。

注意 電源電圧 (VDD) が「26.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

正)

[TA=-40~+85°C, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VSPOR0	電源立ち上がり時	4.08	4.28	4.45	V
		VSPDR0	電源立ち下がり時	4.00	4.20	4.37	V
		VSPOR1	電源立ち上がり時	2.76	2.90	3.02	V
		VSPDR1	電源立ち下がり時	2.70	2.84	2.96	V
		VSPOR2	電源立ち上がり時	2.44	2.57	2.68	V
		VSPDR2	電源立ち下がり時	2.40	2.52	2.62	V
		VSPOR3	電源立ち上がり時		2.16	2.25	V
		VSPDR3	電源立ち下がり時		2.11	2.20	V
最小パルス幅 ^{注1}	TSPW		300			μs	

注 1. VDD が VSPDR を下回った場合に、SPOR 回路によるリセット動作に必要な時間です。

注意 電源電圧 (VDD) が「26.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

14. 27.6.4 SPOR 回路特性 (p.939)

誤)

[TA=-40~+105°C, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VSPOR0	電源立ち上がり時	4.08	4.28	4.45	V
		VSPDR0	電源立ち下がり時	4.00	4.20	4.37	V
		VSPOR1	電源立ち上がり時	2.76	2.90	3.02	V
		VSPDR1	電源立ち下がり時	2.70	2.84	2.96	V
		VSPOR2	電源立ち上がり時	2.44	2.57	2.68	V
		VSPDR2	電源立ち下がり時	2.40	2.52	2.62	V
		VSPOR3	電源立ち上がり時		2.16		V
		VSPDR3	電源立ち下がり時		2.11		V
		最小パルス幅 ^{注1}	TSPW		300		

注 1. VDD が VSPDR を下回った場合に、SPOR 回路によるリセット動作に必要な時間です。

注意 電源電圧 (VDD) が「27.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

正)

[TA=-40~+105°C, VSS=0V]

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VSPOR0	電源立ち上がり時	4.08	4.28	4.45	V
		VSPDR0	電源立ち下がり時	4.00	4.20	4.37	V
		VSPOR1	電源立ち上がり時	2.76	2.90	3.02	V
		VSPDR1	電源立ち下がり時	2.70	2.84	2.96	V
		VSPOR2	電源立ち上がり時	2.44	2.57	2.68	V
		VSPDR2	電源立ち下がり時	2.40	2.52	2.62	V
		VSPOR3	電源立ち上がり時		2.16	2.25	V
		VSPDR3	電源立ち下がり時		2.11	2.20	V
		最小パルス幅 ^{注1}	TSPW		300		

注 1. VDD が VSPDR を下回った場合に、SPOR 回路によるリセット動作に必要な時間です。

注意 電源電圧 (VDD) が「27.4 AC 特性」に示す動作電圧範囲内に達するまで、SPOR か外部リセットで内部リセット状態を保ってください。

以上