

マイクロコンピュータ技術情報

技術通知 V850ES/KE1,KF1,KG1,KJ1,KE1+,KF1+,KG1+,KJ1+用 インサーキット・エミュレータ QB-V850ESKX1H 使用制限事項の件		発行番号	ZBG-CD-05-0080号	1/3
		発行日	2005年 9月 28日	
		発行元	NEC エレクトロニクス株式会社 第四システム事業本部 汎用マイコンシステム事業部 開発ツールグループ	
文書分類	<input type="radio"/> 使用制限事項	バージョン・アップ	ドキュメント誤記訂正(正誤表)	その他
関連資料	QB-V850ESKX1H ユーザーズ・マニュアル		資料番号:U17214JJ2V0	
	QB-V850ESKX1H(管理記号 A, B, C)使用上の注意		資料番号:ZUD-CD-05-0063	

CP(K),O

1. 対象製品

製品名	管理記号 ^注	備考
QB-V850ESKX1H-xxx-yyy	A, B, C	xxx,yyy は任意のオーダーコード

注:管理記号の見分け方については、別紙を参照してください。

2. 新たな制限事項

今回新たに No.14, 15, 16 の制限事項を追加させていただきました。制限事項の詳細は別紙を参照してください。

No.14: フェイル・セーフ・ブレークが動作しない制限事項

No.15: 内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項²

No.16: 外部バス・アクセスでアドレス信号が保持されない制限事項

また、No.5 の制限事項について、誤記がありましたので訂正させていただきます。なお、一部恒久的な制限事項とさせていただきます。

➤ 訂正箇所 制限事項 No.5「内蔵 RAM でのプログラム実行と DMA 転送に関する不具合」

➤ 訂正前

【内容】内蔵 RAM を対象とした DMA 転送を実行しており、かつ内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1) もしくは、ミス・アライン・アドレスに対するデータ・アクセス命令を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。
デッド・ロック中はリセットのみ受付可能です (NMI も割り込みも受け付けられません)。

【回避策】以下のいずれかの方法により、回避をお願いいたします。

- ・内蔵 RAM 上に配置された命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA を実行する場合は、内蔵 RAM 上に配置された命令実行を行わない。

管理記号 B 以上で修正済みです。

➤ 訂正後

【内容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です(NMI 割り込みも受け付けられません)。

(1) 内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1)

(2) 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

【回避策】 以下のいずれかの方法により、回避をお願いいたします。

(1) 内蔵 RAM で実行した命令がビット操作命令 (SET1, CLR1, NOT1) の場合

- ・内蔵 RAM 上に配置されたビット操作命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 B 以上で修正済みです。

(2) 内蔵 RAM で実行した命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合

- ・内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

3. 回避策

今回追加した制限事項の回避策については、別紙を参照してください。

4. 改善計画

No.14: 管理記号 C で修正済みです。

No.15: 改善計画はありません。申し訳ありませんが、恒久的な制限とさせていただきます。

No.16: デバイス・ファイルのバージョン・アップにて修正いたします。デバイス・ファイルのバージョン・アップは下記日程を予定しております。

- | | |
|---------------------------|-----------------|
| ・DF703218 V2.01 (次期バージョン) | 2005 年 9 月 30 日 |
| ・DF703318 V1.01 (次期バージョン) | 2005 年 10 月初旬 |

★本日程については予告無し変更する場合がございますので、改善品のリリース日程については、別途、弊社営業、または特約店までお問い合わせください。

5. 制限事項一覧

別紙を参照してください。

6. サポート・デバイス追加のお知らせ

次に示すデバイスを QB-V850ESKX1H でサポート・デバイスとして追加いたします。

「QB-V850ESKX1H ユーザーズ・マニュアル(U17214J)」の第 3 版より、今回追加したサポート・デバイスの使用方法を掲載いたします。

- QB-V850ESKX1H で追加するサポート・デバイス
V850ES/KE2, V850ES/KF2, V850ES/KG2, V850ES/KJ2

- QB-V850ESKX1H ユーザーズ・マニュアル
改版日程 : 2005 年 9 月 30 日
文書名 : QB-V850ESKX1H ユーザーズ・マニュアル
文書番号 : U17214JJ3V0

7. 発行文書履歴

V850ES/KE1,KF1,KG1,KJ1,KE1+,KF1+,KG1+,KJ1+用インサーキット・エミュレータ
QB-V850ESKX1H 使用制限事項の件

文書番号	発行日	記事
ZBG-CD-04-0062	2004.09.10	初版
ZBG-CD-05-0044	2005.05.20	No.12, 13 の追加
ZBG-CD-05-0080	2005.09.28	No.14, 15, 16 の追加 No.5 の誤記訂正 サポート・デバイスの追加

以上

QB-V850ESKX1H 使用上の注意

本文書はエミュレータのみが該当する制限事項、およびエミュレータで修正予定のある制限事項を記載しています。

対象デバイスの制限事項については下記文書に記載されておりますので、合わせてお読みください。

・対象デバイスのユーザーズ・マニュアル

・対象デバイスの制限事項文書

また、エミュレータの注意事項についてはエミュレータのユーザーズ・マニュアルに掲載されております。こちらも合わせてお読みください。

1. 製品バージョン

管理記号 ^注	備考
A	-
B	管理記号 A の不具合修正版(No.1~No.6)
C	管理記号 B の不具合修正版(No.12, 14)

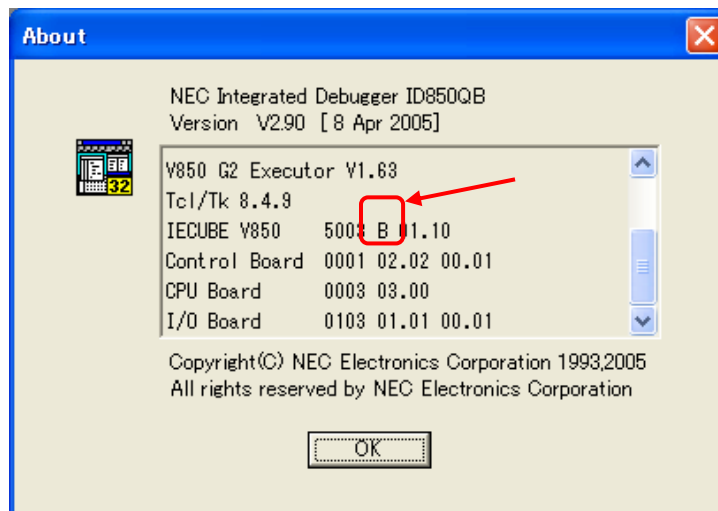
注) 管理記号とは、ご購入時(バージョン・アップを行っていない)は、IECUBE 本体底面のシールに記載されている 10 桁のシリアル・ナンバーの左から 2 桁目の記号です。

管理記号は次に示すようにデバッガ上でも確認できます。バージョン・アップを行っている場合は、この方法により確認してください。

➤ ID850QB の場合

[ヘルプ]→[バージョン情報]で確認します。

IECUBE V850 **** X **.**.の X が管理記号になります。



➤ Green Hills Software(GHS)社製デバッガ MULTI[®]の場合

850eserv の version コマンドで確認します。

IECUBE Control Code=X の X が管理記号になります。

```

850eserv Version: 3.2342 (for MULTI V4.0.x)
IE type=NU85E Full ICE Generation 2 (IECUBE)
Executor Version=V850 G2 Executor V1.63 Copyright 2004
Device File Format Version=V2.18
Device File File Version=V2.10
IECUBE Control Code=B
IECUBE Firmware Version=V1.10
Control Board Version=V2.02 (FPGA Version=0.01)
CPU Board Version=V3.00
I/O Board Version=V1.01 (FPGA Version=0.01)
  
```

A red box is drawn around the letter 'B' in the line 'IECUBE Control Code=B', and a red arrow points to it from the right.

MULTI は米国 Green Hills Software, Inc.の米国における登録商標です。

2. 製品履歴

No	仕様変更・追加／不具合事項	管理記号		
		A	B	C
1	バス・ホールド, IDLE/STOP モード時の端子状態制限事項	×	○	○
2	電源投入時の電流流れ込み制限事項	×	○	○
3	AVREF0 \leq 4.0V での AD 変換不正制限事項	×	○	○
4	DMA 転送強制終了に関する不具合	×	○	○
5	内蔵 RAM でのプログラム実行と DMA 転送に関する不具合	×	(1)ビット操作命令	○
	(2)ミス・アライン・アクセス		○	
6	CSIA のバッファ RAM 不正リード制限事項	×	○	○
7	ダウンロード／ソフトウェアブレーク設定時のハングアップ制限事項	デバッグで対応		
8	外部 RAM 接続時のデータ破壊制限事項	デバッグで対応		
9	オプション・バイトのエミュレーション制限事項	デバッグで対応		
10	内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項1	恒久的な制限事項		
11	パワーオン・クリア, 低電圧検出, クロック・モニタの制限事項	恒久的な制限事項		
12	REGC 端子からの電流流れ込み制限事項	×	×	○
13	ウォッチドッグ・タイマ 1 のオーバーフローリセットに関する制限事項	恒久的な制限事項		
14	フェイル・セーフ・ブレークが動作しない制限事項	×	×	○
15	内蔵 RAM でプログラム実行時のイリーガル・ブレーク制限事項2	恒久的な制限事項		
16	外部バス・アクセスでアドレス信号が保持されない制限事項	デバイス・ファイルで対応		

×:該当する ○:該当しない, または修正済み

3. 不具合および仕様追加事項詳細

No.1 バス・ホールド, IDLE/STOP モード時の端子状態制限事項

【内容】 下記, (a),(b)の状況で端子状態が不正になります。

(a) 下記端子を出力ポートで使用している場合, バス・ホールドまたは IDLE/STOP モードで端子状態がハイ・インピーダンスになります。(本来の動作は保持)

- ・PCT2,3,5,7
- ・PCM0-PCM5
- ・PCD0-PCD3

(b) 外部バス制御端子使用時, バス・ホールドまたは IDLE/STOP モードで端子状態が下表のように対象デバイスと異なります。(白文字の部分)

端子	動作状態	対象デバイスの動作		エミュレータの動作	
		IDLEモード/ STOPモード	バス・ホールド	IDLEモード/ STOPモード	バス・ホールド
AD0-AD15(PDL0-PDL15)		Hi-Z	Hi-Z	Hi-Z	Hi-Z
A0-A15(P90-P915)		Hi-Z	Hi-Z	Hi-Z	Hi-Z
A16-A23(PDH0-PDH7)		Hi-Z	Hi-Z	保持	保持
WAIT(PCM0)	-	-	-	-	-
CLKOUT(PCM1)	L	動作		Hi-Z	Hi-Z
CS0-CS3(PCS0-PCS3)	H	Hi-Z		Hi-Z	Hi-Z
WRO, WR1(PCT0, PCT1)	H	Hi-Z		Hi-Z	Hi-Z
RD(PCT4)	H	Hi-Z		Hi-Z	Hi-Z
ASTB(PCT6)	H	Hi-Z		Hi-Z	Hi-Z
HLDK(PCM2)	H	L		Hi-Z	Hi-Z
HLDQR(PCM3)	-	動作		-	動作

【回避策】 申し訳ありませんが, (a), (b)ともに回避策はありません。

管理記号 B 以上で修正済みです。

No.2 電源投入時の電流流れ込み制限事項

【内容】 エミュレータの電源投入から約 0.3 秒間, 以下の端子が 33kΩ の抵抗を介して 5V でプルアップされた状態となります。(本来はハイ・インピーダンス)

このため, エミュレータの電源投入時は 0.3 秒間程度, 1 端子につき 0.15mA 程度の電流がターゲット・システムへ流れ込みます。

- ・PCD0-PCD3
- ・PCM0-PCM5
- ・PCS0-PCS7
- ・PCT0-PCT7
- ・PDH0-PDH7
- ・PDL0-PDL15

【回避策】 申し訳ありませんが, 回避策はありません。

管理記号 B 以上で修正済みです。

No.3 AVREF0 \leq 4.0V での AD 変換不正制限事項

【内容】VDD=AVREF0 \leq 4.0V で使用する際、AD 変換が正常に行われな場合があります。

【回避策】VDD=AVREF0 $>$ 4.0V でご使用ください。

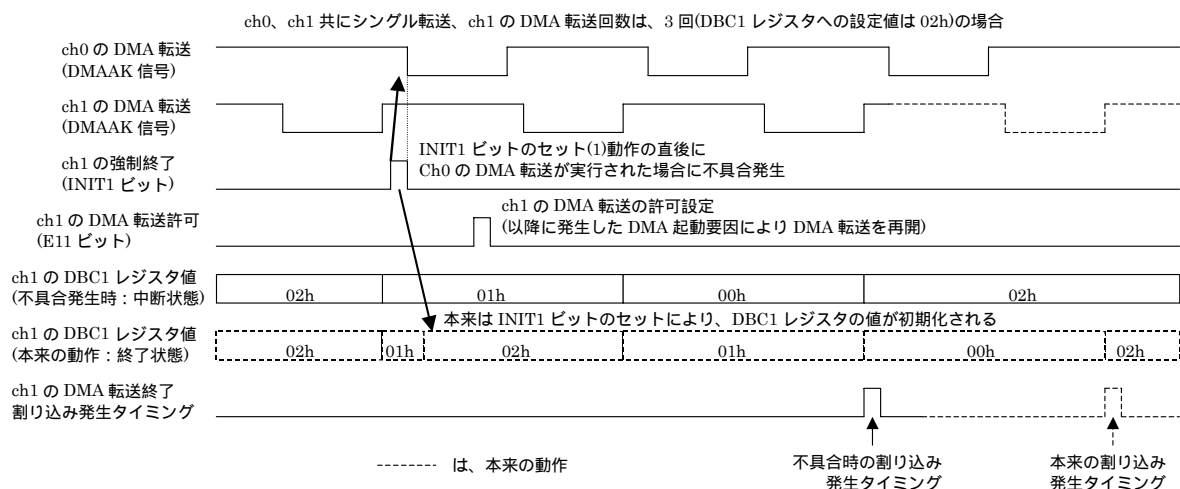
管理記号 B 以上で修正済みです。

No.4 DMA 転送強制終了に関する不具合

【内容】DCHCn レジスタの INITn ビットの操作により、DMA 転送を強制終了する場合、INITn ビットをセット(1)したにも関わらず、強制終了されずに中断状態になる場合があります。このため、強制終了させたはずのチャンネルの DMA 転送を再開させた場合に、想定外の転送回数完了後に DMA 転送が終了し、DMA 転送終了割り込みが発生することがあります。本不具合は強制終了(INITn ビットのセット(1))の直後に DMA 転送が実行された場合に発生します。(下図参照)

(n=0-3)

注意:本不具合は転送チャンネル数, 転送対象(メモリ~メモリ, メモリ~I/O; 内蔵資源を含む), 起動要因(外部要求, 内蔵周辺 I/O からの割り込み, ソフトウェア)には依存せず, 仕様の設定可能ないずれの組み合わせでも発生する可能性があります。また, 他のチャンネルの影響も受けません。



なお、以下のレジスタはマスタ/スレーブの 2 段 FIFO 構成のバッファ・レジスタになっています。このため、DMA 転送中、及び DMA 中断状態にこれらのレジスタを書き換えた場合、マスタ・レジスタに書き込まれます。DMA 転送中、中断状態に書き換えた値は、書き換えたチャンネルの DMA 転送終了時にスレーブ・レジスタに反映されます。

また、上図における初期化とは、マスタ・レジスタの内容をスレーブ・レジスタに反映させることを指しています。

<2 段 FIFO 構成のバッファ・レジスタ>(n=0-3)

- ・DMA ソース・アドレス・レジスタ(DSAnH, DSAnL)
- ・DMA ディスティネーション・アドレス・レジスタ(DDAnH, DDAnL)
- ・DMA 転送カウント・レジスタ(DBCn)

【回避策】以下のいずれかの手順によりソフトウェアにて回避可能です。

①一時的に全ての DMA チャンネルの転送を停止させる方法(n=0-3)

次の点を満たして頂ければ、以下の手順で回避可能です。

以下の回避処理以外で、DCHCn レジスタの TCn ビット=1 となっていることを期待したプログラム構成になっていない場合(DCHCn レジスタの TCn ビットは読み出しによりクリア(0)されるため、以下(5)②の回避処理ルーチン実行によりクリアされてしまいます)

不具合回避手順

(1)割り込み禁止(DI)状態にする。

(2)DMA リスタート・レジスタ(DRST)を読み出し、各チャンネルの ENn ビットを汎用レジスタに転送する。

(値:A)

(3)DMA リスタート・レジスタ(DRST)に 00H を書き込む(2 回実行[※])。

2 回実行[※]することにより(4)の処理以前に必ず DMA 転送が停止します。

(4)強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット(1)する。

(5)(2)で読み出した値(A)に対して次の操作を行う。(値:B)

① 強制終了するチャンネルのビットをクリア(0)する。

② 強制終了しない各チャンネルの TCn ビットと ENn ビットが、共に 1(AND が 1)の場合はそのチャンネルのビットをクリア(0)する。

(6)(5)で操作した値(B)を DRST レジスタに書き込む。

(7)割り込み許可(EI)状態にする。

※:上記(5)は、(2)~(3)の間に正常終了したチャンネルに対して、再度 ENn ビットを不正にセットすることを防ぐため、必ず行ってください。

注:転送対象(転送元または転送先)が内蔵 RAM の場合は、3 回実行してください。

② 正常に強制終了するまで INITn ビットのセットを繰り返し実行する方法(n=0-3)

不具合回避手順

(1)強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。

(2)強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット(1)する。

(3)強制終了するチャンネルの DMA 転送カウント・レジスタ(DBCn)の値を読み込み、(1)でコピーした値と比較する。一致しない場合は(2)~(3)を繰り返す。

※(3)で DBCn レジスタを読み込んだ場合、不具合で停止したときは残りの転送回数がリードされます。正常に強制終了した場合には初期転送回数がリードされます。

※この回避方法は、強制終了の対象となっている DMA チャンネル以外の DMA 転送が、頻繁に行われるようなアプリケーションにおいては、強制終了されるまでに、時間を要する可能性がありますのでご注意ください。

管理記号 B 以上で修正済みです。

No.5 内蔵 RAM でのプログラム実行と DMA 転送に関する不具合

【内容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です(NMI 割り込みも受け付けられません)。

- (1) 内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1)
- (2) 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

【回避策】 下記のいずれかの方法により、回避をお願いいたします。

- (1) 内蔵 RAM で実行した命令がビット操作命令 (SET1, CLR1, NOT1) の場合
 - ・ 内蔵 RAM 上に配置されたビット操作命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
 - ・ 内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 B 以上で修正済みです。

- (2) 内蔵 RAM で実行した命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合
 - ・ 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
 - ・ 内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.6 CSIA のバッファ RAM 不正リード制限事項

【内容】 自動送受信機能付きクロック同期式シリアル・インタフェース A (CSIA) のバッファ RAM

(CSIA_nB_m) に対してリード・アクセスができません。

リード・アクセスを行った場合、不正なデータを読み出します。

ライト・アクセスは正常に行われます。

このため、受信を行う場合は、自動転送モードが使用できません。

送信を行う場合は、自動転送モードが使用できますが、送信するデータのリード・アクセスができないのでご注意ください。

(n=0,1, m=0-F)

【回避策】 受信を行う場合、1 バイト転送モードで使用してください。

送信を行い、さらに送信するデータのリードを行う場合、1 バイト転送モードで使用してください。

管理記号 B 以上で修正済みです。

No.7 ダウンロード/ソフトウェア・ブレーク設定時のハングアップ制限事項

【内容】 内蔵 ROM エリアへのダウンロード中/内蔵 ROM エリアへのソフトウェア・ブレーク設定中に、WAIT 端子、HLDRQ 端子がアクティブ・レベルになっていると、エミュレータがハングアップします。

【回避策】 WAIT 端子、HLDRQ 端子を使用しない場合、デバッグの端子マスク機能で WAIT、HLDRQ をマスクしてください。

WAIT 端子、HLDRQ 端子を使用する場合、内蔵 ROM エリアへのダウンロード中/内蔵 ROM エリアへのソフトウェア・ブレーク設定中にアクティブ・レベルにしないでください。

デバッグのバージョン・アップで改善されます。

・ID850QB の場合 V2.81 以上を使用してください。

・Multi の場合 V1.57 以上の EXEC を使用してください。

No.8 外部 RAM 接続時のデータ破壊制限事項

【内容】 内蔵ROMへのダウンロードを実行した際、あるいはソフトウェア・ブレークを設定した際、外部バスに対してライト・サイクルが発生します。このため、ターゲット・システム上にRAMが存在すると、RAM内のデータを破壊する場合があります。

【回避策】 内蔵ROMへのダウンロードで制限事項に該当した場合、回避策はありません。ただし、ダウンロード後のプログラム実行で内蔵RAMの値を初期化する場合(RAMの値を全て書き換える場合)、破壊したデータが正常な値に書き換えられるので、本制限事項は問題になりません。

内蔵ROMへのソフトウェア・ブレーク設定で制限事項に該当した場合、内蔵ROM空間に対してはソフトウェア・ブレークを使用せず、ハードウェア・ブレークを使用してください。

デバッグのバージョン・アップで改善されます。

・ID850QB の場合 V2.81 以上を使用してください。

・Multi の場合 V1.57 以上の EXEC を使用してください。

No.9 オプション・バイトのエミュレーション制限事項

【内容】 オプション・バイト機能のエミュレーションができません。

エミュレータは0x7A番地のデータを無視して、0x00が設定されている場合の動作となります。このため、必ず下記のモードで動作します。

・内蔵発振器 :ソフトウェアで停止可能

・発振安定時間 :短縮(OSTSレジスタの初期値:00H)

【回避策】 申し訳ありませんが、回避策はありません。

デバッグのバージョン・アップで改善されます。

・ID850QB の場合 V2.81 以上を使用してください。

・Multi の場合 V1.57 以上の EXEC を使用してください。

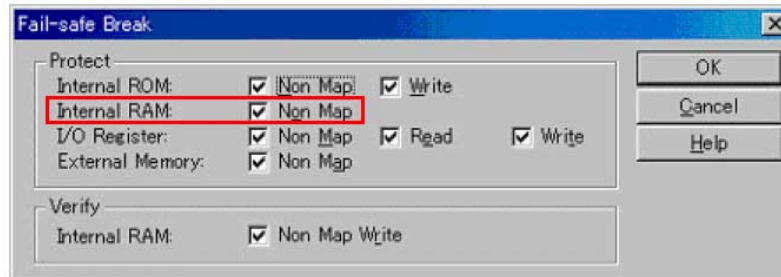
No.10 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項

【内容】 内蔵RAMでプログラム実行時に周辺I/Oレジスタへのアクセスを行うと、意図しないブレイクが発生する場合があります。

【回避策】 デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

・ID850QBの場合

コンフィグレーション・ウィンドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



・Multiの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレイクを解除してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.11 パワーオン・クリア、低電圧検出、クロック・モニタの制限事項

【内容】 パワーオン・クリア回路、低電圧検出回路、クロック・モニタのエミュレーションを行うことができません。制御レジスタへの書き込みは可能ですが、リセットや割り込みが発生しません。また、リセット要因フラグ・レジスタ(RESF)のCLMRF, LVIRFフラグが変化しません。

【回避策】 申し訳ありませんが、回避策はありません。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.12 REGC 端子からの電流流れ込み制限事項

【内容】 エミュレータのREGC端子からターゲット・システムへ5.5Vが出力されてしまいます。

ターゲット・システム上でREGC端子を電源系端子(VDD, EVDD等)と接続している場合、電流がターゲット・システムの電源側へ回り込み、ターゲット・システムの電源がOFFの場合でも、エミュレータのTARGET LEDが点灯してしまいます。

【回避策】 申し訳ありませんが、回避策はありません。

管理記号C以上で修正済みです。

No.13 ウォッチドッグ・タイマ1のオーバーフローリセットに関する制限事項

【内容】ウォッチドッグ・タイマ1をウォッチドッグ・タイマ・モード2(オーバーフロー発生時、リセット動作WDTRES1を起動するモード)で使用し、オーバーフローが発生した場合、リセット動作が下記ようになります。

➤ 対象デバイスがV850ES/Kx1+の場合

ウォッチドッグ・タイマ1のリセット解除後、プログラムが開始されるまで、約2.2秒($2^{19}/f_R$)かかります。本来はリセット解除後、すぐにプログラムが開始されます。また、リセット解除後、リセット要因フラグ・レジスタ(RESF)のビット4(WDT2RF)とビット7(WDTRF1)の両方が立ちます。本来はRESFのビット7のみが立ちます。

➤ 対象デバイスがV850ES/Kx1の場合

ウォッチドッグ・タイマ1のリセット解除後、プログラムが開始されるまで、約6.7秒($2^{25}/f_x$, $f_x=5\text{MHz}$ の場合)かかります。本来はリセット解除後、すぐにプログラムが開始されます。

f_x :メイン・クロック発振周波数

f_R :内蔵発振器周波数

【回避策】 申し訳ありませんが、回避策はありません。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.14 フェイル・セーフ・ブ레이크が動作しない制限事項

【内容】次に示すフェイル・セーフ・ブ레이크機能が動作しません。

➤ 周辺I/Oレジスタ

- ◇ 存在しない周辺I/Oレジスタへのリード/ライト
- ◇ リード・オンリーの周辺I/Oレジスタに対するライト
- ◇ ライト・オンリーの周辺I/Oレジスタに対するリード

➤ 外部メモリ領域

- ◇ マッピングされていない領域へのフェッチまたはアクセス
- ◇ ROM領域へのライト

【回避策】 申し訳ありませんが、回避策はありません。

管理記号C以上で修正済みです。

No.15 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項2

【内容】 下記の条件を全て満たした場合、正常なプログラムにかかわらず、Non Map Breakが発生いたします。

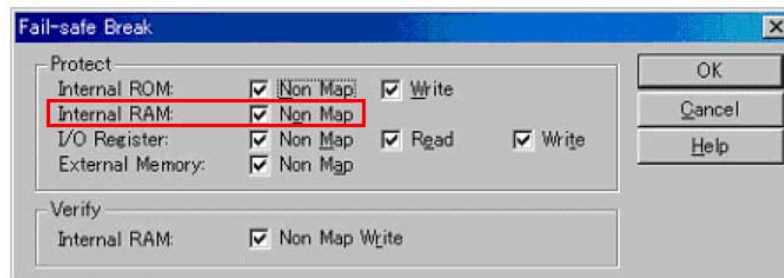
- ・内蔵RAM領域でプログラムを実行
- ・2回以上連続して内蔵RAM領域へデータ・アクセス
- ・上記の連続したデータ・アクセス直後、またはNOP1つを挟んで、JRもしくはJARL命令で内蔵ROM領域へ分岐

【回避策】 下記のいずれかの方法により回避をお願いいたします。

- デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

◇ ID850QBの場合

コンフィグレーション・ウィンドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



◇ MULTIの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレイクを解除してください。

- 内蔵 RAM 領域への連続したデータ・アクセスから内蔵 ROM 領域への分岐の間に NOP を 2 つ以上挿入してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.16 外部バス・アクセスでアドレスが保持されない制限事項

【内容】 外部バスの設定が、マルチプレクス・バス出力モード、かつ8ビット・データ・バスの場合、T2ステート以降でアドレスが保持されず、Lowレベルが出力されます。

【回避策】 申し訳ありませんが、回避策はありません。

デバイス・ファイルのバージョン・アップで改善されます。

- ・V850ES/Kx1 の場合 DF703218 V2.01 以上を使用してください。
- ・V850ES/Kx1+の場合 DF703318 V1.01 以上を使用してください。

4. その他注意事項

4.1 本製品の取り扱いに関する一般的な注意事項

➤ 製品保証外となる場合

- ・本製品をお客様自身により分解, 改造, 修理した場合
- ・落下, 倒れなど強い衝撃を与えた場合
- ・過電圧での使用, 保証温度範囲外での使用, 保証温度範囲外での保存
- ・AC アダプタ, USB インタフェース・ケーブル, ターゲット・システムとの接続が不十分な状態で電源を投入した場合
- ・AC アダプタのケーブル, USB インタフェース・ケーブル, エミュレーション・プローブなどに過度の曲げ, 引っ張りを与えた場合
- ・添付品以外の AC アダプタを使用した場合
- ・本製品を濡らしてしまった場合
- ・本製品の GND とターゲット・システムの GND に電位差がある状態で本製品とターゲット・システムを接続した場合
- ・本製品の電源投入中にコネクタやケーブルの抜き差しを行った場合
- ・コネクタやソケットに過度の負荷を与えた場合

➤ 安全上の注意

- ・長時間使用していると, 高温(50℃~60℃程度)になることがあります。低温やけどなど, 高温になることによる障害にご注意ください。
- ・感電には十分注意をしてください。上記の製品保証外となる場合に書かれているような使用方法をすると感電する恐れがあります。

4.2 延長プローブに関する注意事項

- ・延長プローブを使用する場合、クロックや外部バス等の高速信号を伝搬できる最大動作周波数に制限があります。(下表参照)

QB-V850ESKX1H の場合、対象デバイスの最大動作周波数が 20MHz であるため、最高動作周波数で延長プローブを使用することができます。

クロック信号使用の有無 (CLKOUT, BUSCLK, SDCLK 等)	外部バス使用の有無	延長プローブを使用時の 上限周波数
使用する	使用する	32MHz
	使用しない	
使用しない	使用する	64MHz
	使用しない	80MHz

- ・延長プローブには 50Ω 程度のインピーダンスがあります。
- ・延長プローブを通すと信号レベルが 0.1V 程度下がります。
このため、A/D 変換等、アナログ信号が伝搬する際の精度が下がります。ご注意ください。
- ・延長プローブを通ることで発生するディレイ(伝搬遅延)は 5ns 程度です。
このため、外部バス使用時はデータ・ウエイトやアドレス・ウエイト等の設定が必要な場合があります。
- ・延長プローブを使用する際は必ず、延長プローブの GND 線を IECUBE, ターゲットに接続してください。
GND 線を使用しない場合、伝搬する信号のレベルが下がってしまう場合があります。