

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

| | | | | | |
|------|--|--------|-----------------|---|-----|
| 製品分類 | MPU & MCU | 発行番号 | TN-RA*-A0159A/J | Rev. | 第1版 |
| 題名 | 誤記訂正通知 RA0E1 ユーザーズマニュアル Rev.1.10 の記載変更 | | 情報分類 | 技術情報 | |
| 適用製品 | RA0E1 グループ | 対象ロット等 | 関連資料 | RA0E1 グループユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH1040JJ0110) | |
| | | 全て | | | |

RA0E1 ユーザーズマニュアルハードウェア編 Rev.1.10 (R01UH1040JJ0110) において、下記訂正がございます。

今回通知する訂正内容

| 訂正箇所 | 該当ページ | 内容 | 本通知での該当ページ |
|---|------------|------|------------|
| 表 1.15 端子一覧 | p.43 | 誤記訂正 | p.2, 3 |
| 9.2.1 SBYCR: スタンバイコントロールレジスタ | p.108 | 誤記訂正 | p.4 |
| 表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (2/3) | p.203 | 誤記訂正 | p.5, 6 |
| 表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (3/3) | p.204 | 誤記訂正 | p.7 |
| 16.6 製品ごとの周辺選択設定 | p.208 | 誤記訂正 | p.8 |
| 22.2.7 IICWLO: IICA Low レベル幅設定レジスタ 0 | p.479 | 注意追加 | p.9 |
| 22.2.8 IICWH0: IICA High レベル幅設定レジスタ 0 | p.479 | 注意追加 | p.10 |
| 22.3.2 IICWLO および IICWH0 レジスタを使用した転送クロックの設定 | p.481 | 注意追加 | p.11, 12 |
| 22.3.10 割り込み要求信号 (IICA0_TXRXI) の生成のタイミングとクロックストレッチの制御 | p.486, 487 | 誤記訂正 | p.13, 14 |
| 23.3.4 ポーレートジェネレータ | p.552, 553 | 誤記訂正 | p.15, 16 |
| 28.3.25 PNRn:型名レジスタ n (n = 0~3) | p.639 | 誤記訂正 | p.17, 18 |
| 表 31.12 動作電流とスタンバイ電流 (1) (2/2) | p.675 | 注意追加 | p.19, 20 |

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

修正前：表 1.15 端子一覧 (p.43)

1.7 端子一覧

表 1.15 端子一覧

| 端子番号 | | | | 電源、システム、クロック、デバッグ | ポート | 割り込み | タイマ | | 通信インターフェース | | | アナログ |
|------|------|------|------|------------------------|------|------------|-------------------------------------|-----------|---------------------------------|---------|---------|-------|
| 32ピン | 24ピン | 20ピン | 16ピン | | | | TAU | RTC | SAU | IICA | UARTA | |
| 1 | 1 | 2 | 16 | VCL | — | — | — | — | — | — | — | — |
| 2 | — | — | — | XCIN | P215 | — | — | — | — | — | — | — |
| 3 | — | — | — | XCOUT | P214 | — | — | — | — | — | — | — |
| 4 | 2 | 3 | 1 | VSS | — | — | — | — | — | — | — | — |
| 5 | 3 | 4 | 2 | X2/EXCLK/ XCOUT(注1) | P213 | IRQ0_B | TI00_A/TI02_B/ TO02_B | — | TXD1_A/ SO11_A | SDAA0_B | TXDA0_B | — |
| 6 | 4 | 5 | 3 | X1/XCIN(注1) | P212 | IRQ1_B | TO00_A/ TI03_C/TO03_C | — | RXD1_A/ SI11_A/ SDA11_A | SCLA0_B | RXDA0_B | — |
| 7 | 5 | 6 | 4 | VCC | — | — | — | — | — | — | — | — |
| 8 | — | — | — | PCLBUZ0_C | P407 | IRQ4_C | — | RTCCOUT_A | SCK11_A/ SCL11_A | — | — | — |
| 9 | 6 | — | — | — | P914 | — | — | — | — | SCLA0_A | — | — |
| 10 | 7 | — | — | — | P913 | — | — | — | — | SDAA0_A | — | — |
| 11 | — | — | — | — | P208 | IRQ3_C | TI00_B | — | — | — | TXDA0_A | — |
| 12 | — | — | — | — | P207 | IRQ2_C | TO00_B | — | — | — | RXDA0_A | — |
| 13 | 8 | 7 | 5 | RES | P206 | — | — | — | — | — | — | — |
| 14 | 9 | 8 | 6 | PCLBUZ0_A | P201 | IRQ5_B | TI05_B/TO05_B | RTCCOUT_B | SSI00_B/ SCK11_B/ SCL11_B | — | — | — |
| 15 | 10 | 9 | 7 | — | P200 | IRQ0_A/NMI | — | — | — | — | — | — |
| 16 | 11 | 10 | 8 | SWCLK | P300 | — | TI04_B/TO04_B | — | — | — | — | — |
| 17 | 12 | 11 | 9 | SWDIO | P108 | — | TI03_B/TO03_B | — | — | — | — | — |
| 18 | 13 | 12 | — | — | P109 | IRQ4_B | TI02_A/TO02_A | — | TXD2_A/ SO20_A | SDAA0_C | TXDA0_C | — |
| 19 | 14 | 13 | — | — | P110 | IRQ3_B | TI01_A/TO01_A | — | RXD2_A/ SI20_A/ SDA20_A | SCLA0_C | RXDA0_C | — |
| 20 | 15 | 14 | — | — | P112 | IRQ2_B | TI03_A/TO03_A | — | SCK20_A/ SCL20_A/ SSI00_C | — | — | — |
| 21 | — | — | — | — | P103 | IRQ5_A | TI05_A/TO05_A | — | SSI00_A | — | — | — |
| 22 | 16 | 15 | 10 | PCLBUZ0_B | P102 | IRQ4_A | TI06_A/ TO06_A/ TO00_C | RTCCOUT_C | SCK00_A/ SCL00_A | — | — | — |
| 23 | 17 | 16 | 11 | — | P101 | IRQ3_A | TI07_A/ TO07_A/TO00_C | — | TXD0_A/ SO00_A | SDAA0_D | TXDA0_D | AN021 |
| 24 | 18 | 17 | 12 | — | P100 | IRQ2_A | TI04_A/ TO04_A/ TI01_B/TO01_B | — | RXD0_A/ SI00_A/ SDA00_A | SCLA0_D | RXDA0_D | AN022 |
| 25 | 19 | — | — | — | P015 | IRQ1_A | — | — | — | — | — | AN007 |
| 26 | 20 | — | — | — | P014 | — | — | — | — | — | — | AN006 |
| 27 | 21 | 18 | — | — | P013 | — | — | — | — | — | — | AN005 |
| 28 | 22 | 19 | 13 | — | P012 | — | — | — | — | — | — | AN004 |
| 29 | — | — | — | — | P009 | — | — | — | — | — | — | AN003 |
| 30 | — | — | — | — | P008 | — | — | — | — | — | — | AN002 |
| 31 | 23 | 20 | 14 | VREFL0 | P011 | — | — | — | — | — | — | AN001 |
| 32 | 24 | 1 | 15 | VREFH0 | P010 | — | — | — | — | — | — | AN000 |

注 1. 24ピン、20ピン、16ピンの製品に対して CMC.XTSEL = 1 を設定する場合

注. 信号名によっては、接尾語_A、_B、_C、または_Dが付加されていますが、SAUおよびIICAを除き、機能の割り当て時にはこれらの接尾語を無視しても構いません。SAUおよびIICAについては、SCL11とSCK11を除き、同じ接尾語を持つ信号のみ選択可能です。異なる接尾語を持つ同じ信号の同時使用は禁止されています。

修正後：表 1.15 端子一覧

1.7 端子一覧

表 1.15 端子一覧

| 端子番号 | | | | 電源、システム、クロック、デバッグ | ポート | 割り込み | タイマ | | 通信インターフェース | | | アナログ |
|------|------|------|------|------------------------|------|------------|-------------------------------------|-----------|---------------------------------|---------|---------|-------|
| 32ピン | 24ピン | 20ピン | 16ピン | | | | TAU | RTC | SAU | IICA | UARTA | ADC |
| 1 | 1 | 2 | 16 | VCL | — | — | — | — | — | — | — | — |
| 2 | — | — | — | XCIN | P215 | — | — | — | — | — | — | — |
| 3 | — | — | — | XCOUT | P214 | — | — | — | — | — | — | — |
| 4 | 2 | 3 | 1 | VSS | — | — | — | — | — | — | — | — |
| 5 | 3 | 4 | 2 | X2/EXCLK/ XCOUT(注1) | P213 | IRQ0_B | TI00_A/TI02_B/ TO02_B | — | TXD1_A/ SO11_A | SDAA0_B | TXDA0_B | — |
| 6 | 4 | 5 | 3 | X1/XCIN(注1) | P212 | IRQ1_B | TO00_A/ TI03_C/TO03_C | — | RXD1_A/ SI11_A/ SDA11_A | SCLA0_B | RXDA0_B | — |
| 7 | 5 | 6 | 4 | VCC | — | — | — | — | — | — | — | — |
| 8 | — | — | — | PCLBUZ0_C | P407 | IRQ4_C | — | RTCCOUT_A | SCK11_A/ SCL11_A | — | — | — |
| 9 | 6 | — | — | — | P914 | — | — | — | — | SCLA0_A | — | — |
| 10 | 7 | — | — | — | P913 | — | — | — | — | SDAA0_A | — | — |
| 11 | — | — | — | — | P208 | IRQ3_C | TI00_B | — | — | — | TXDA0_A | — |
| 12 | — | — | — | — | P207 | IRQ2_C | TO00_B | — | — | — | RXDA0_A | — |
| 13 | 8 | 7 | 5 | RES | P206 | — | — | — | — | — | — | — |
| 14 | 9 | 8 | 6 | PCLBUZ0_A | P201 | IRQ5_B | TI05_B/TO05_B | RTCCOUT_B | SSIO0_B/ SCK11_B/ SCL11_B | — | — | — |
| 15 | 10 | 9 | 7 | — | P200 | IRQ0_A/NMI | — | — | — | — | — | — |
| 16 | 11 | 10 | 8 | SWCLK | P300 | — | TI04_B/TO04_B | — | — | — | — | — |
| 17 | 12 | 11 | 9 | SWDIO | P108 | — | TI03_B/TO03_B | — | — | — | — | — |
| 18 | 13 | 12 | — | — | P109 | IRQ4_B | TI02_A/TO02_A | — | TXD2_A/ SO20_A | SDAA0_C | TXDA0_C | — |
| 19 | 14 | 13 | — | — | P110 | IRQ3_B | TI01_A/TO01_A | — | RXD2_A/ SI20_A/ SDA20_A | SCLA0_C | RXDA0_C | — |
| 20 | 15 | 14 | — | — | P112 | IRQ2_B | TI03_A/TO03_A | — | SCK20_A/ SCL20_A/ SSIO0_C | — | — | — |
| 21 | — | — | — | — | P103 | IRQ5_A | TI05_A/TO05_A | — | SSIO0_A | — | — | — |
| 22 | 16 | 15 | 10 | PCLBUZ0_B | P102 | IRQ4_A | TI06_A/ TO06_A/ TO00_C | RTCCOUT_C | SCK00_A/ SCL00_A | — | — | — |
| 23 | 17 | 16 | 11 | — | P101 | IRQ3_A | TI07_A/ TO07_A/TO00_C | — | TXD0_A/ SO00_A | SDAA0_D | TXDA0_D | AN021 |
| 24 | 18 | 17 | 12 | — | P100 | IRQ2_A | TI04_A/ TO04_A/ TI01_B/TO01_B | — | RXD0_A/ SI00_A/ SDA00_A | SCLA0_D | RXDA0_D | AN022 |
| 25 | 19 | — | — | — | P015 | IRQ1_A | — | — | — | — | — | AN007 |
| 26 | 20 | — | — | — | P014 | — | — | — | — | — | — | AN006 |
| 27 | 21 | 18 | — | — | P013 | — | — | — | — | — | — | AN005 |
| 28 | 22 | 19 | 13 | — | P012 | — | — | — | — | — | — | AN004 |
| 29 | — | — | — | — | P009 | — | — | — | — | — | — | AN003 |
| 30 | — | — | — | — | P008 | — | — | — | — | — | — | AN002 |
| 31 | 23 | 20 | 14 | VREFL0 | P011 | — | — | — | — | — | — | AN001 |
| 32 | 24 | 1 | 15 | VREFH0 | P010 | — | — | — | — | — | — | AN000 |

注 1. 24ピン、20ピン、16ピンの製品に対して CMC.XTSEL = 1 を設定する場合

注. 信号名によっては、接尾語_A、_B、_C、または_Dが付加されていますが、SAU および IICA を除き、機能の割り当て時にはこれらの接尾語を無視しても構いません。SAU および IICA については、SCK11 と SCL11、SSIO0を除き、同じ接尾語を持つ信号のみ選択可能です。異なる接尾語を持つ同じ信号の同時使用は禁止されています。

修正前：9.2.1 SBYCR：スタンバイコントロールレジスタ (p.108)

(略)

| | | | |
|----|------|---|-----|
| 15 | SSBY | ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード | R/W |
|----|------|---|-----|

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

FLSTP ビット (スリープモードまたはスヌーズモードのフラッシュモード)

FLSTP ビットを 1 にした場合、スリープモード中またはスヌーズモード中にフラッシュが停止するため、消費電力を低減できます。その代わりに、スリープモードまたはスヌーズモードの解除に要する時間が延長されます。また、フラッシュのプログラム/イレースはできません。

FWKUP ビット (ソフトウェアスタンバイモードからの解除時とスヌーズモードへの遷移時の高速オンチップオシレータの起動に対する設定)

FWKUP ビットを 1 にした場合、高速オンチップオシレータは高速起動モードに遷移し、スタンバイ解除時間とスヌーズ遷移時間を短縮します。その代わりに、ICLK が動作開始した後 OSCSF.HOCOSF = 0 である間、HOCO の周波数精度が変わります。「31. 電気的特性」を参照してください。このビットは、ICLK = HOCO (32MHz) であるときのみ設定可能です。

RTCLPC ビット (ソフトウェアスタンバイモードまたはスヌーズモードの SOSC 設定)

RTCLPC ビットを 1 にした場合、RTC 以外の SOSC で動作する周辺機能はソフトウェアスタンバイモードで停止します。

SSBY ビット (ソフトウェアスタンバイモード選択)

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

FENTRYR.FENTRY0 ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

(略)

修正後：9.2.1 SBYCR：スタンバイコントロールレジスタ

(略)

| | | | |
|---|------|---|-----|
| 5 | SSBY | ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード | R/W |
|---|------|---|-----|

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

FLSTP ビット (スリープモードまたはスヌーズモードのフラッシュモード)

FLSTP ビットを 1 にした場合、スリープモード中またはスヌーズモード中にフラッシュが停止するため、消費電力を低減できます。その代わりに、スリープモードまたはスヌーズモードの解除に要する時間が延長されます。また、フラッシュのプログラム/イレースはできません。

FWKUP ビット (ソフトウェアスタンバイモードからの解除時とスヌーズモードへの遷移時の高速オンチップオシレータの起動に対する設定)

FWKUP ビットを 1 にした場合、高速オンチップオシレータは高速起動モードに遷移し、スタンバイ解除時間とスヌーズ遷移時間を短縮します。その代わりに、ICLK が動作開始した後 OSCSF.HOCOSF = 0 である間、HOCO の周波数精度が変わります。「31. 電気的特性」を参照してください。このビットは、ICLK = HOCO (32MHz) であるときのみ設定可能です。

RTCLPC ビット (ソフトウェアスタンバイモードまたはスヌーズモードの SOSC 設定)

RTCLPC ビットを 1 にした場合、RTC 以外の SOSC で動作する周辺機能はソフトウェアスタンバイモードで停止します。

SSBY ビット (ソフトウェアスタンバイモード選択)

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

FENTRYR.FENTRY0 ビットまたはFENTRYR.FENTRYDビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

(略)

修正前：表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (2/3) (p.203)

表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (2/3)

| 端子名 | 使用機能 | | PSEL[2:0] | ISEL | NCODR | PMC | PDR | PODR |
|------|-------|------------------|-----------|------|-------|-----|-----|------|
| | 機能名 | 入出力 | | | | | | |
| P103 | P103 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI06 | 入力 | 001b | 0 | 0 | 0 | 0 | x |
| | TO06 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | SSI00 | 入力 | 010b | 0 | 0 | 0 | 0 | x |
| | IRQ4 | 入力 | 000b | 1 | 0 | 0 | 0 | x |
| P108 | P108 | 入力 | 000b | — | — | 0 | 0 | x |
| | | 出力 | 000b | — | — | x | 1 | 0/1 |
| | SWDIO | 入出力 | 001b | — | — | x | x | x |
| | TI03 | 入力 | 010b | — | — | 0 | 0 | x |
| | TO03 | 出力 | 010b | — | — | x | 1 | x |
| P109 | P109 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI02 | 入力 | 001b | 0 | 0 | 0 | 0 | x |
| | TO02 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | TXD2 | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SO00 | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SDAA0 | 入出力 | 011b | 0 | 1 | 0 | 1 | x |
| | TXDA0 | 出力 | 100b | 0 | 0/1 | 0/1 | 1 | x |
| IRQ3 | 入力 | 000b | 1 | 0 | 0 | 0 | x | |
| P110 | P110 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI01 | 入力 | 001b | 0 | x | 0 | 0 | x |
| | TO01 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | RXD2 | 入力 | 010b | 0 | x | 0 | 0 | x |
| | SI20 | 入力 | 010b | 0 | x | 0 | 0 | x |
| | SDA20 | 入出力 | 010b | 0 | 1 | 0 | 1 | x |
| | SCLA0 | 入出力 | 011b | 0 | 1 | 0 | 1 | x |
| | RXDA0 | 入力 | 100b | 0 | x | 0 | 0 | x |
| IRQ3 | 入力 | 000b | 1 | 0 | 0 | 0 | x | |

修正後：表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (2/3)

表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (2/3)

| 端子名 | 使用機能 | | PSEL[2:0] | ISEL | NCODR | PMC | PDR | PODR |
|------|-------|------------------|-----------|------|-------|-----|-----|------|
| | 機能名 | 入出力 | | | | | | |
| P103 | P103 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI05 | 入力 | 001b | 0 | 0 | 0 | 0 | x |
| | TO05 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | SSI00 | 入力 | 010b | 0 | 0 | 0 | 0 | x |
| | IRQ5 | 入力 | 000b | 1 | 0 | 0 | 0 | x |
| P108 | P108 | 入力 | 000b | — | — | 0 | 0 | x |
| | | 出力 | 000b | — | — | x | 1 | 0/1 |
| | SWDIO | 入出力 | 001b | — | — | x | x | x |
| | TI03 | 入力 | 010b | — | — | 0 | 0 | x |
| | TO03 | 出力 | 010b | — | — | x | 1 | x |
| P109 | P109 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI02 | 入力 | 001b | 0 | 0 | 0 | 0 | x |
| | TO02 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | TXD2 | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SO20 | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SDAA0 | 入出力 | 011b | 0 | 1 | 0 | 1 | x |
| | TXDA0 | 出力 | 100b | 0 | 0/1 | 0/1 | 1 | x |
| IRQ4 | 入力 | 000b | 1 | 0 | 0 | 0 | x | |
| P110 | P110 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI01 | 入力 | 001b | 0 | x | 0 | 0 | x |
| | TO01 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | RXD2 | 入力 | 010b | 0 | x | 0 | 0 | x |
| | SI20 | 入力 | 010b | 0 | x | 0 | 0 | x |
| | SDA20 | 入出力 | 010b | 0 | 1 | 0 | 1 | x |
| | SCLA0 | 入出力 | 011b | 0 | 1 | 0 | 1 | x |
| | RXDA0 | 入力 | 100b | 0 | x | 0 | 0 | x |
| | IRQ3 | 入力 | 000b | 1 | 0 | 0 | 0 | x |

修正前：表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (3/3) (p.204)

表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (3/3)

| 端子名 | 使用機能 | | PSEL[2:0] | ISEL | NCODR | PMC | PDR | PODR |
|------|-------|------------------|-----------|------|-------|-----|-----|------|
| | 機能名 | 入出力 | | | | | | |
| P112 | P112 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI03 | 入力 | 001b | 0 | 0 | 0 | 0 | x |
| | TO03 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | SCK20 | 入力 | 010b | 0 | x | 0 | 0 | x |
| | | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SCL20 | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SSI00 | 入力 | 011b | 0 | 0 | 0 | 0 | x |
| IRQ4 | 入力 | 000b | 1 | 0 | 0 | 0 | x | |

(略)

修正後：表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (3/3)

表 16.6 ポートと代替機能に関するレジスタ設定の例 (2/6) (3/3)

| 端子名 | 使用機能 | | PSEL[2:0] | ISEL | NCODR | PMC | PDR | PODR |
|------|-------|------------------|-----------|------|-------|-----|-----|------|
| | 機能名 | 入出力 | | | | | | |
| P112 | P112 | 入力 | 000b | 0 | 0 | 0 | 0 | x |
| | | 出力 | 000b | 0 | 0 | x | 1 | 0/1 |
| | | Nチャンネルオープンドレイン出力 | 000b | 0 | 1 | x | 1 | 0/1 |
| | TI03 | 入力 | 001b | 0 | 0 | 0 | 0 | x |
| | TO03 | 出力 | 001b | 0 | 0 | x | 1 | x |
| | SCK20 | 入力 | 010b | 0 | x | 0 | 0 | x |
| | | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SCL20 | 出力 | 010b | 0 | 0/1 | 0/1 | 1 | x |
| | SSI00 | 入力 | 011b | 0 | 0 | 0 | 0 | x |
| IRQ2 | 入力 | 000b | 1 | 0 | 0 | 0 | x | |

(略)

修正前：16.6 製品ごとの周辺選択設定 (p.208)

(略)

16.6 製品ごとの周辺選択設定

本項では、PmnPFS_A レジスタでの端子機能選択設定について説明します。信号名によっては、接尾語_A、_B、_C、_D、_E、または_F が付加されていますが、SAU および IICA を除き、機能の割り当て時にはこれらの接尾語を無視しても構いません。SAU および IICA については、SCL11 と SCK11 を除き、同じ接尾語を持つ信号のみ選択可能です。異なる接尾語を持つ同じ信号の同時使用は禁止されています。PmnPFS_A レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

(略)

修正後：16.6 製品ごとの周辺選択設定

(略)

16.6 製品ごとの周辺選択設定

本項では、PmnPFS_A レジスタでの端子機能選択設定について説明します。信号名によっては、接尾語_A、_B、_C、_D、_E、または_F が付加されていますが、SAU および IICA を除き、機能の割り当て時にはこれらの接尾語を無視しても構いません。SAU および IICA については、SCK11 と SCL11、SSI00 を除き、同じ接尾語を持つ信号のみ選択可能です。異なる接尾語を持つ同じ信号の同時使用は禁止されています。PmnPFS_A レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

(略)

修正前：22.2.7 IICWL0：IICA Low レベル幅設定レジスタ 0 (p.479)

(略)

22.2.7 IICWL0：IICA Low レベル幅設定レジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0102

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

| ビット | シンボル | 機能 | R/W |
|-----|------|--------------------------------------|-----|
| 7:0 | n/a | ユニット n の SCLA0 端子 Low 幅コンフィグレーションデータ | R/W |

I²C バスインタフェース (IICA) で出力される SCLA0 端子信号の Low レベル幅 (t_{Low}) の設定と、SDAA0 端子信号の制御に使用するレジスタです。

IICWL0 レジスタは、I²C の動作が禁止されている (IICCTL00.IICE) ときに設定してください。

IICWL0 レジスタの設定の詳細については、「[22.3.2. IICWL0 および IICWH0 レジスタを使用した転送クロックの設定](#)」を参照してください。データホールド時間は IICWL0 レジスタに設定された時間の 1/4 です。

(略)

修正後：22.2.7 IICWL0：IICA Low レベル幅設定レジスタ 0

(略)

22.2.7 IICWL0：IICA Low レベル幅設定レジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0102

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

| ビット | シンボル | 機能 | R/W |
|-----|------|--------------------------------------|-----|
| 7:0 | n/a | ユニット n の SCLA0 端子 Low 幅コンフィグレーションデータ | R/W |

I²C バスインタフェース (IICA) で出力される SCLA0 端子信号の Low レベル幅 (t_{Low}) の設定と、SDAA0 端子信号の制御に使用するレジスタです。

IICWL0 レジスタは、I²C の動作が禁止されている (IICCTL00.IICE) ときに設定してください。

IICWL0 レジスタの設定の詳細については、「[22.3.2. IICWL0 および IICWH0 レジスタを使用した転送クロックの設定](#)」を参照してください。データホールド時間は IICWL0 レジスタに設定された時間の 1/4 です。

注. シリアルクロックの最小周期は (IICWL0 + 1) + (IICWH0 + 1) になります。

(略)

修正前：22.2.8 IICWH0：IICA High レベル幅設定レジスタ 0 (p.479)
(略)

22.2.8 IICWH0：IICA High レベル幅設定レジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0103

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

| ビット | シンボル | 機能 | R/W |
|-----|------|---------------------------------------|-----|
| 7:0 | n/a | ユニット n の SCLA0 端子 High 幅コンフィグレーションデータ | R/W |

I²C バスインタフェース (IICA) で出力される SCLA0 端子信号の High レベル幅の設定と、SDAA0 端子信号の制御に使用するレジスタです。

IICWH0 レジスタは、I²C の動作が禁止されている (IICCTL00.IICE) ときに設定してください。

マスタモードでの転送クロックの設定方法については(1) [マスタモードでの転送クロック設定](#)を、スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定手順については(2) [スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定](#)を参照してください。

(略)

修正後：22.2.8 IICWH0：IICA High レベル幅設定レジスタ 0

(略)

22.2.8 IICWH0：IICA High レベル幅設定レジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0103

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

| ビット | シンボル | 機能 | R/W |
|-----|------|---------------------------------------|-----|
| 7:0 | n/a | ユニット n の SCLA0 端子 High 幅コンフィグレーションデータ | R/W |

I²C バスインタフェース (IICA) で出力される SCLA0 端子信号の High レベル幅の設定と、SDAA0 端子信号の制御に使用するレジスタです。

IICWH0 レジスタは、I²C の動作が禁止されている (IICCTL00.IICE) ときに設定してください。

マスタモードでの転送クロックの設定方法については(1) [マスタモードでの転送クロック設定](#)を、スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定手順については(2) [スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定](#)を参照してください。

注. シリアルクロックの最小周期は (IICWL0 + 1) + (IICWH0 + 1) になります。

(略)

修正前：22.3.2 IICWL0 および IICWH0 レジスタを使用した転送クロックの設定 (p.481)

(略)

22.3.2 IICWL0 および IICWH0 レジスタを使用した転送クロックの設定

(1) マスタモードでの転送クロック設定

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWL} + \text{IICWH} + f_{\text{MCK}}(t_R + t_F)}$$

この時点で、IICWL0 および IICWH0 レジスタの最適な設定値は次のとおりです。(全ての設定値の小数部は切り上げとします。)

- ファストモードの場合

$$\text{IICWL0} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

- 通常モードの場合

$$\text{IICWL0} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

- ファストモードプラスの場合

$$\text{IICWL0} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

(2) スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定

すべての設定値の小数部は切り上げとします。

- ファストモードの場合

$$\text{IICWL0} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (1.2 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

- 通常モードの場合

$$\text{IICWL0} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (5.3 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

- ファストモードプラスの場合

$$\text{IICWL0} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (0.50 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

注. SDAA0 および SCLA0 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) はプルアップ抵抗やケーブル負荷によって異なるため、これらの時間は個別に計算します。

注. IICWL0 : IICA Low レベル幅設定レジスタ 0

IICWH0 : IICA High レベル幅設定レジスタ 0

t_F : SDAA0 および SCLA0 信号の立ち下がり時間

t_R : SDAA0 および SCLA0 信号の立ち上がり時間

f_{MCK} : IICA動作クロック周波数

(略)

修正後：22.3.2 IICWL0 および IICWH0 レジスタを使用した転送クロックの設定

(略)

22.3.2 IICWL0 および IICWH0 レジスタを使用した転送クロックの設定

(1) マスタモードでの転送クロック設定

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWL} + \text{IICWH} + f_{\text{MCK}}(t_R + t_F)}$$

この時点で、IICWL0 および IICWH0 レジスタの最適な設定値は次のとおりです。(全ての設定値の小数部は切り上げとします。)

- ファストモードの場合

$$\text{IICWL0} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

- 通常モードの場合

$$\text{IICWL0} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

- ファストモードプラスの場合

$$\text{IICWL0} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

(2) スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定

すべての設定値の小数部は切り上げとします。

- ファストモードの場合

$$\text{IICWL0} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (1.2 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

- 通常モードの場合

$$\text{IICWL0} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (5.3 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

- ファストモードプラスの場合

$$\text{IICWL0} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (0.50 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

注. SDAA0 および SCLA0 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) はプルアップ抵抗やケーブル負荷によって異なるため、これらの時間は個別に計算します。

注. IICWL0 : IICA Low レベル幅設定レジスタ 0

IICWH0 : IICA High レベル幅設定レジスタ 0

t_F : SDAA0 および SCLA0 信号の立ち下がり時間

t_R : SDAA0 および SCLA0 信号の立ち上がり時間

f_{MCK} : IICA動作クロック周波数

注. シリアルクロックの最小周期は、 $(\text{IICWL0} + 1) + (\text{IICWH0} + 1)$ になります。

SDAA0、SCLA0信号の立ち上がり時間 (t_R) と立ち下り時間 (t_F) を考慮し、IICWL0、IICWH0レジスタに設定する値を決めてください。

(略)

修正前：28.3.25 PNRn:型名レジスタ n (n = 0~3) (p.486, 487)

(略)

22.3.10 割り込み要求信号 (IICA0_TXRXI) の生成のタイミングとクロックストレッチの制御

表 22.2 に示すように、IICA コントロールレジスタ 00 (IICCTL00) の WTIM ビットの設定によって、IICA0_TXRXI が生成されるタイミングが決定されると同時に、クロックストレッチが制御されます。

表中の数字はシリアルクロック信号のパルス数を示します。割り込み要求とクロックストレッチの制御はどちらもこれらのクロックパルスの立ち下がりエッジに同期します。

表 22.2 IICA0_TXRXI の生成のタイミングとクロックストレッチの制御

| WTIM | スレーブデバイス動作時 | | | マスタデバイス動作時 | | |
|------|-------------|-------|-------|------------|-------|-------|
| | アドレス | データ受信 | データ送信 | アドレス | データ受信 | データ送信 |
| 0 | g(注1)(注2) | g(注2) | g(注2) | 9 | 8 | 8 |
| 1 | g(注1)(注2) | g(注2) | g(注2) | 9 | 9 | 9 |

1. アドレス送信／受信時

- スレーブデバイス動作：割り込みとクロックストレッチのタイミングは、IICCTL00.WTIM ビットの設定に関わらず、上記の(注1)と(注2)に示す条件に従います。
- マスタデバイス動作：IICCTL00.WTIM ビットの設定に関わらず、割り込みとクロックストレッチは第 9 クロックサイクルの立ち下がりエッジで発生します。

2. データ受信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTL00.WTIM ビットの設定に従います。

3. データ送信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTL00.WTIM ビットの設定に従います。

4. クロックストレッチの解除

クロックストレッチを解除する処理には次の 4 種類があります。

- IICA シフトレジスタ 0 (IICA0) へのデータの書き込み
- IICA コントロールレジスタ 00 (IICCTL00) の WREL ビットの設定 (クロックストレッチ状態からの解除)
- IICCTL00 レジスタの STT ビットの設定 (スタートコンディションの生成) (注3)
- IICCTL00 レジスタの SPT ビットの設定 (ストップコンディションの生成) (注3)

クロックストレッチ発生タイミングとして第 8 クロックサイクルを選択した場合 (IICCTL00.WTIM を 0 にした場合)、クロックストレッチ状態を解除する前に ACK 発生の有無を判定する必要があります。

5. ストップコンディションの検出

IICA0_TXRXI は、ストップコンディションが検出されたときに生成されます (IICCTL00.SPIE = 1 の場合のみ)。

注 1. スレーブデバイスの IICA0_TXRXI 信号とクロックストレッチは、スレーブアドレスレジスタ 0 (SVA0) に設定されているアドレスと一致する場合にのみ、第 9 クロックサイクルの立ち下がりエッジで発生します。この時、IICCTL00.ACKE ビットの設定値とは関係なく ACK が発生します。拡張コードを受信したか、または全アドレス一致機能が有効な期間中にアドレスを受信したスレーブデバイスの場合、IICA0_TXRXI は第 8 クロックの立ち下がりエッジで発生します。

ただし、リスタートの後にアドレスが一致しない場合、IICA0_TXRXI は第 9 クロックサイクルの立ち下がりエッジで生成されますが、クロックストレッチは発生しません。

注 2. スレーブアドレスレジスタ n (SVAn) の内容が受信されたアドレスと一致しない場合、アドレス一致検出機能は無効になり、拡張コードは受信されず、IICA0_TXRXI もクロックストレッチも発生しません。

注 3. マスタモードの場合のみ

(略)

修正後：22.3.10 割り込み要求信号 (IICA0_TXRXI) の生成のタイミングとクロックストレッチの制御

(略)

22.3.10 割り込み要求信号 (IICA0_TXRXI) の生成のタイミングとクロックストレッチの制御

表 22.2 に示すように、IICA コントロールレジスタ 00 (IICCTL00) の WTIM ビットの設定によって、IICA0_TXRXI が生成されるタイミングが決定されると同時に、クロックストレッチが制御されます。

表中の数字はシリアルクロック信号のパルス数を示します。割り込み要求とクロックストレッチの制御はどちらもこれらのクロックパルスの立ち下がりエッジに同期します。

表 22.2 IICA0_TXRXI の生成のタイミングとクロックストレッチの制御

| WTIM | スレーブデバイス動作時 | | | マスタデバイス動作時 | | |
|------|---------------|-------|-------|------------|-------|-------|
| | アドレス | データ受信 | データ送信 | アドレス | データ受信 | データ送信 |
| 0 | 9(注1)(注2) | 8(注2) | 8(注2) | 9 | 8 | 8 |
| 1 | 9(注1)(注2)(注3) | 9(注2) | 9(注2) | 9 | 9 | 9 |

1. アドレス送信／受信時

- スレーブデバイス動作：割り込みとクロックストレッチのタイミングは、IICCTL00.WTIM ビットの設定に関わらず、上記の(注1)と(注2)、(注3)に示す条件に従います。
- マスタデバイス動作：IICCTL00.WTIM ビットの設定に関わらず、割り込みとクロックストレッチは第 9 クロックサイクルの立ち下がりエッジで発生します。

2. データ受信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTL00.WTIM ビットの設定に従います。

3. データ送信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTL00.WTIM ビットの設定に従います。

4. クロックストレッチの解除

クロックストレッチを解除する処理には次の 4 種類があります。

- IICA シフトレジスタ 0 (IICA0) へのデータの書き込み
- IICA コントロールレジスタ 00 (IICCTL00) の WREL ビットの設定 (クロックストレッチ状態からの解除)
- IICCTL00 レジスタの STT ビットの設定 (スタートコンディションの生成) (注4)
- IICCTL00 レジスタの SPT ビットの設定 (ストップコンディションの生成) (注4)

クロックストレッチ発生タイミングとして第 8 クロックサイクルを選択した場合 (IICCTL00.WTIM を 0 にした場合)、クロックストレッチ状態を解除する前に ACK 発生の有無を判定する必要があります。

5. ストップコンディションの検出

IICA0_TXRXI は、ストップコンディションが検出されたときに生成されます (IICCTL00.SPIE = 1 の場合のみ)。

注 1. スレーブデバイスの IICA0_TXRXI 信号とクロックストレッチは、スレーブアドレスレジスタ 0 (SVA0) に設定されているアドレスと一致する場合にのみ、第 9 クロックサイクルの立ち下がりエッジで発生します。この時、IICCTL00.ACKE ビットの設定値とは関係なく ACK が発生します。拡張コードを受信したか、または全アドレス一致機能が有効な期間中にアドレスを受信したスレーブデバイスの場合、IICA0_TXRXI は第 8 クロックの立ち下がりエッジで発生します。

ただし、リスタートの後にアドレスが一致しない場合、IICA0_TXRXI は第 9 クロックサイクルの立ち下がりエッジで生成されますが、クロックストレッチは発生しません。

注 2. スレーブアドレスレジスタ n (SVAn) の内容が受信されたアドレスと一致しない場合、アドレス一致検出機能は無効になり、拡張コードは受信されず、IICA0_TXRXI もクロックストレッチも発生しません。

注 3. WTIMn ビットが 1 の場合、拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは、8 クロック目の立ち下りに加え、9 クロック目の立ち下がりでも IICA0_TXRXI とクロックストレッチを発生します。

注 4. マスタモードの場合のみ

(略)

修正前：23.3.4 ボーレートジェネレータ (p.552, 553)

(略)

スタートビットの検出後、ボーレートジェネレータコントロールレジスタ (BRGCA0) で、受信データのラッチタイミングが決定されます。ストップビットを含むフレーム全受信していれば、正常に受信できます。

11ビットのデータを受信したと仮定した場合、理論値は以下のように算出できます。

- 1ビットデータ長とボーレートとの関係
 $FL = (Brate) - 1 Brate$:
 UARTのボーレート
 k : BRGCA0の設定値、FL : 1ビットデータ長
 ラッチタイミングのマージン : 1クロック
- 許容最小データフレーム長 (FLmin)
 $FLmin = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$
- 受信可能な送信先の許容最大ボーレート (BRmax)
 $BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+1} Brate$
- 許容最大データフレーム長 (FLmax)
 $FLmax = \frac{21k+1}{20k} FL \times 11$
- 受信可能な送信先の許容最小ボーレート (BRmin)
 $BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-1} Brate$

表 23.13 に、上記の許容最大／最小ボーレート式から算出できる、UARTと送信側との間の許容ボーレート誤差を示します。

表 23.13 許容最大／最小ボーレート誤差

| 分周比 (k) | 許容最大ボーレート誤差 | 許容最小ボーレート誤差 |
|---------|-------------|-------------|
| 2 | +2.32% | -2.43% |
| 4 | +3.52% | -3.61% |
| 8 | +4.14% | -4.19% |
| 20 | +4.51% | -4.53% |
| 50 | +4.66% | -4.67% |
| 100 | +4.71% | -4.71% |
| 255 | +4.74% | -4.74% |

- 注. 受信の許容誤差は、1フレームのビット数、入力クロック周波数、および分周比 (k) に依存します。入力クロック周波数と分周比 (k) が高いほど、許容誤差も大きくなります。
- 注. k : BRGCA0 の設定値

(略)

修正後：23.3.4 ボーレートジェネレータ

(略)

スタートビットの検出後、ボーレートジェネレータコントロールレジスタ (BRGCA0) で、受信データのラッチタイミングが決定されます。ストップビットを含むフレーム全受信していれば、正常に受信できます。

11ビットのデータを受信したと仮定した場合、理論値は以下のように算出できます。

- 1ビットデータ長とボーレートとの関係

$$FL = (\text{Brate}) - 1 \text{ Brate} :$$

UARTのボーレート

k : BRGCA0の設定値、FL : 1ビットデータ長

ラッチタイミングのマージン : 2クロック

- 許容最小データフレーム長 (FLmin)

$$k = 3 \text{ to } 255: FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

- 受信可能な送信先の許容最大ボーレート (BRmax)

$$k = 2: BR_{\max} = \text{Brate} + \frac{1}{22k} \text{ Brate}$$

$$k = 3 \text{ to } 255: BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

- 許容最大データフレーム長 (FLmax)

$$k = 3 \text{ to } 255: FL_{\max} = \frac{21k+2}{20k} FL \times 11$$

- 受信可能な送信先の許容最小ボーレート (BRmin)

$$k = 2: BR_{\min} = \text{Brate} + \frac{1}{22k} \text{ Brate}$$

$$k = 3 \text{ to } 255: BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

表 23.13 に、上記の許容最大/最小ボーレート式から算出できる、UART と送信側との間の許容ボーレート誤差を示します。

表 23.13 許容最大/最小ボーレート誤差

| 分周比 (k) | 許容最大ボーレート誤差 | 許容最小ボーレート誤差 |
|---------|-------------|-------------|
| 2 | +2.27% | -2.27% |
| 4 | +2.33% | -2.44% |
| 8 | +3.53% | -3.61% |
| 20 | +4.27% | -4.31% |
| 50 | +4.56% | -4.58% |
| 100 | +4.66% | -4.67% |
| 255 | +4.72% | -4.73% |

注. 受信の許容誤差は、1フレームのビット数、入力クロック周波数、および分周比 (k) に依存します。入力クロック周波数と分周比 (k) が高いほど、許容誤差も大きくなります。

注. k : BRGCA0 の設定値

(略)

修正前：28.3.25 PNRn:型名レジスタ n (n = 0~3) (p.639)

28.3.25 PNRn:型名レジスタ n (n = 0~3)

Address: 0x0101_1080 + n × 4

Bit position: 31 0

Bit field: PNR[31:0]

Value after reset: チップごとのユニーク値

| ビット | シンボル | 機能 | R/W |
|------|-----------|----|-----|
| 31:0 | PNR[31:0] | 型名 | R |

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは製品一覧に示すように、製品の型名の ASCII コードに対応しています。

型名が「R7FA0E1073CNK」である場合、16 バイトの型名は以下のように格納されます。

- アドレス 0x0101_1080 : 'K', 0x4B (ASCII コード)
- アドレス 0x0101_1081 : 'N', 0x4E (ASCII コード)
- アドレス 0x0101_1082 : 'C', 0x43 (ASCII コード)
- アドレス 0x0101_1083 : '3', 0x33 (ASCII コード)
- アドレス 0x0101_1084 : '7', 0x37 (ASCII コード)
- アドレス 0x0101_1085 : '0', 0x30 (ASCII コード)
- アドレス 0x0101_1086 : '1', 0x31 (ASCII コード)
- アドレス 0x0101_1087 : 'E', 0x45 (ASCII コード)
- アドレス 0x0101_1088 : '0', 0x30 (ASCII コード)
- アドレス 0x0101_1089 : 'A', 0x41 (ASCII コード)
- アドレス 0x0101_1090 : 'F', 0x46 (ASCII コード)
- アドレス 0x0101_1091 : '7', 0x37 (ASCII コード)
- アドレス 0x0101_1092 : 'R', 0x52 (ASCII コード)
- アドレス 0x0101_1093 : " " (空白), 0x20 (ASCII コード)
- アドレス 0x0101_1094 : " " (空白), 0x20 (ASCII コード)
- アドレス 0x0101_1095 : " " (空白), 0x20 (ASCII コード)

(略)

修正後：28.3.25 PNRn:型名レジスタ n (n = 0~3)

28.3.25 PNRn:型名レジスタ n (n = 0~3)

Address: 0x0101_1080 + n × 4

Bit position: 31 0

Bit field:

PNR[31:0]

Value after reset:

チップごとのユニーク値

| ビット | シンボル | 機能 | R/W |
|------|-----------|----|-----|
| 31:0 | PNR[31:0] | 型名 | R |

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは製品一覧に示すように、製品の型名の ASCII コードに対応しています。

型名が「R7FA0E1073CNK」である場合、16 バイトの型名は以下のように格納されます。

- アドレス 0x0101_1080 : 'K', 0x4B (ASCII コード)
- アドレス 0x0101_1081 : 'N', 0x4E (ASCII コード)
- アドレス 0x0101_1082 : 'C', 0x43 (ASCII コード)
- アドレス 0x0101_1083 : '3', 0x33 (ASCII コード)
- アドレス 0x0101_1084 : '7', 0x37 (ASCII コード)
- アドレス 0x0101_1085 : '0', 0x30 (ASCII コード)
- アドレス 0x0101_1086 : '1', 0x31 (ASCII コード)
- アドレス 0x0101_1087 : 'E', 0x45 (ASCII コード)
- アドレス 0x0101_1088 : '0', 0x30 (ASCII コード)
- アドレス 0x0101_1089 : 'A', 0x41 (ASCII コード)
- アドレス 0x0101_108A : 'F', 0x46 (ASCII コード)
- アドレス 0x0101_108B : '7', 0x37 (ASCII コード)
- アドレス 0x0101_108C : 'R', 0x52 (ASCII コード)
- アドレス 0x0101_108D : " " (空白), 0x20 (ASCII コード)
- アドレス 0x0101_108E : " " (空白), 0x20 (ASCII コード)
- アドレス 0x0101_108F : " " (空白), 0x20 (ASCII コード)

(略)

修正前：表 31.12 動作電流とスタンバイ電流 (1) (2/2) (p.675)

表 31.12 動作電流とスタンバイ電流 (1) (2/2)

条件：VCC = 1.6~5.5 V

| 項目 | | | | | シンボル | Typ (注5) | Max | 単位 | 測定条件 | |
|--------------|------------------------------|---------------|-------------------|-------------------|-------------|-------------|------|----|------|---|
| 消費電流 (注1) | Subosc- speed モ ード(注4) | 通常モード | 周辺クロックが無効 | ICLK = 32.768 kHz | Ta = -40 °C | lcc | 3.3 | — | μA | — |
| | | | | | Ta = 25 °C | 3.7 | — | | | |
| | | | | | Ta = 50 °C | 3.9 | — | | | |
| | | | | | Ta = 70 °C | 4.3 | — | | | |
| | | | | | Ta = 85 °C | 4.8 | — | | | |
| | | | | | Ta = 105 °C | 6.2 | — | | | |
| | | | 周辺クロックが有効(注7) | ICLK = 32.768 kHz | Ta = -40 °C | — | 7.2 | | | |
| | | | | | Ta = 25 °C | — | 7.9 | | | |
| | | | | | Ta = 50 °C | — | 9.6 | | | |
| | | | | | Ta = 70 °C | — | 13.0 | | | |
| | スリープ モード | 周辺クロックが無効 | ICLK = 32.768 kHz | Ta = -40 °C | 1.0 | — | | | | |
| | | | | Ta = 25 °C | 1.3 | — | | | | |
| | | | | Ta = 50 °C | 1.5 | — | | | | |
| | | | | Ta = 70 °C | 1.8 | — | | | | |
| | | | | Ta = 85 °C | 2.2 | — | | | | |
| | | | | Ta = 105 °C | 3.2 | — | | | | |
| | | 周辺クロックが有効(注7) | ICLK = 32.768 kHz | Ta = -40 °C | — | 4.8 | | | | |
| | | | | Ta = 25 °C | — | 5.4 | | | | |
| | | | | Ta = 50 °C | — | 7.0 | | | | |
| | | | | Ta = 70 °C | — | 10.5 | | | | |
| | | | Ta = 85 °C | — | 16.1 | | | | | |
| | | | Ta = 105 °C | — | 33.3 | | | | | |

- 注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
- 注 2. クロックソースは高速オンチップオシレータ (HOCO) です。
- 注 3. クロックソースは中速オンチップオシレータ (MOCO) です。
- 注 4. クロックソースはサブクロック発振器 (SOSC) で、CMC.SODRV[1:0]は 10b (低消費電力モード 2) です。
- 注 5. VCC = 3.3 V
- 注 6. PCLBUZ 機能、TAU 機能、SAU 機能、および IICA 機能のみの動作電流を含みます。その他の周辺動作電流については、表 31.14 の「周辺機能消費電流」の電流を加算してください。
- 注 7. PCLBUZ 機能、TAU 機能、および SAU 機能のみの動作電流を含みます。その他の周辺動作電流については、表 31.14 の電流を加算してください。

修正後：表 31.12 動作電流とスタンバイ電流 (1) (2/2)

表 31.12 動作電流とスタンバイ電流 (1) (2/2)

条件：VCC = 1.6~5.5 V

| 項目 | | | | | | シンボル | Typ (注5) | Max | 単位 | 測定条件 |
|--------------|----------------------|---------------|-------------------|-------------------|-------------|------|-------------|------|----|------|
| 消費電流 (注1) | Subosc-speed モード(注4) | 通常モード | 周辺クロックが無効 | ICLK = 32.768 kHz | Ta = -40 °C | Icc | 3.3 | — | μA | — |
| | | | | | Ta = 25 °C | | 3.7 | — | | |
| | | | | | Ta = 50 °C | | 3.9 | — | | |
| | | | | | Ta = 70 °C | | 4.3 | — | | |
| | | | | | Ta = 85 °C | | 4.8 | — | | |
| | | | | | Ta = 105 °C | | 6.2 | — | | |
| | | | 周辺クロックが有効(注7) | ICLK = 32.768 kHz | Ta = -40 °C | | — | 7.2 | | |
| | | | | | Ta = 25 °C | | — | 7.9 | | |
| | | | | | Ta = 50 °C | | — | 9.6 | | |
| | | | | | Ta = 70 °C | | — | 13.0 | | |
| | スリープモード | 周辺クロックが無効 | ICLK = 32.768 kHz | Ta = -40 °C | 1.0 | — | | | | |
| | | | | Ta = 25 °C | 1.3 | — | | | | |
| | | | | Ta = 50 °C | 1.5 | — | | | | |
| | | | | Ta = 70 °C | 1.8 | — | | | | |
| | | | | Ta = 85 °C | 2.2 | — | | | | |
| | | | | Ta = 105 °C | 3.2 | — | | | | |
| | | 周辺クロックが有効(注7) | ICLK = 32.768 kHz | Ta = -40 °C | — | 4.8 | | | | |
| | | | | Ta = 25 °C | — | 5.4 | | | | |
| | | | | Ta = 50 °C | — | 7.0 | | | | |
| | | | | Ta = 70 °C | — | 10.5 | | | | |
| | | | Ta = 85 °C | — | 16.1 | | | | | |
| | | | Ta = 105 °C | — | 33.3 | | | | | |

- 注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充電電流も含まれません。
- 注 2. クロックソースは高速オンチップオシレータ (HOCO) です。
- 注 3. クロックソースは中速オンチップオシレータ (MOCO) です。
- 注 4. クロックソースはサブクロック発振器 (SOSC) で、CMC.SODRV[1:0]は 10b (低消費電力モード 2) です。
- 注 5. VCC = 3.3 V
- 注 6. PCLBUZ 機能、TAU 機能、SAU 機能、および IICA 機能のみの動作電流を含みます。その他の周辺動作電流については、表 31.14 の「周辺機能消費電流」の電流を加算してください。
- 注 7. PCLBUZ 機能、TAU 機能、および SAU 機能のみの動作電流を含みます。その他の周辺動作電流については、表 31.14 の電流を加算してください。
- 注 8. サブクロック発振器の動作条件は別途規定されています。詳細は「31.2.2. サブクロック発振器特性」を参照してください。