

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシアル  
 ネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0173A/J	Rev.	第1版
題名	誤記訂正通知 RA0E1 ユーザーズマニュアル Rev.1.20 の記載変更		情報分類	技術情報	
適用製品	RA0E1 グループ	対象ロット等	関連資料	RA0E1 グループユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH1040JJ0120)	
		全て			

RA0E1 ユーザーズマニュアルハードウェア編(以下 UM) Rev.1.20 (R01UH1040JJ0120)において、下記訂正がございます。

## 今回通知する訂正内容

訂正箇所	UM該当ページ	内容	本通知での該当ページ
特長	p.29	追記	p.2
表 1.11 I/O ポート	p.33	追記	p.3
表 1.13 機能の比較	p.37	追記	p.4,5
図 1.5 20 ピンLSSOP/TSSOP のピン配置図 (上面図)	p.41	注意追加	p.6
表 1.15 端子一覧	p.43	注意追加	p.7,8
図 8.2 クロック発生回路のブロック図 (24、20、16 ピン)	p.83	注意追加	p.9,10
表 8.3 クロック発生回路入出力端子			
8.2.1 CMC：クロック動作モードコントロールレジスタ	p.83,84	注意追加	p.11,12
8.2.2 SOMRG：サブクロック発振器マージンチェックレジスタ	p.85	注意追加	p.13
8.2.5 FSUBSCR：FSUB クロックソースコントロールレジスタ	p.86	注意追加	p.14
8.2.8 SOSCCR：サブクロック発振器コントロールレジスタ	p.88	注意追加	p.15
8.2.18 OSMC：サブシステムクロック供給モードコントロールレジスタ	p.96	注意追加	p.16
8.4 サブクロック発振器	p.100	注意追加	p.17
表 18.1 32 ビットインターバルタイマの動作仕様	p.292	注意追加	p.18,19
表 19.1 RTC の仕様	p.310	注意追加	p.20
表 23.1 UARTA の仕様	p.531	注意追加	p.21
表 25.1 ADC12 の仕様 (2/2)	p.561	追記	p.22
31.2.2 サブクロック発振器特性	p.669	注意追加	p.22
表 31.40 通常モード1 および2 におけるA/D 変換特性	p.713	注意追加	p.23,24
表 31.41 低電圧モード1 および2 におけるA/D 変換特性 (1)	p.714	注意追加	p.25,26,27
表 31.42 低電圧モード1 および2 におけるA/D 変換特性 (2)	p.715	注意追加	p.27

## ドキュメント改善計画

本訂正内容については、次回改版時に修正を行います。

修正前：特長 UM(JP)P29

## 特長

- Arm Cortex-M23 コア
  - Armv8-M アーキテクチャ
  - 最高動作周波数：32 MHz
  - デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
  - CoreSight デバッグポート：SW-DP
- メモリ
  - 最大 64 KB のコードフラッシュメモリ
  - 1 KB のデータフラッシュメモリ (1,000,000 (TYP) 回のプログラム/イレースサイクル)
  - 12 KB の SRAM
  - フラッシュ読み出し保護 (FRP)
  - 128 ビットのユニーク ID
- 動作温度およびパッケージ
  - Ta = -40 °C ~ +105 °C
    - 32 ピン LQFP (7 mm × 7 mm、0.8 mm ピッチ)
    - 32 ピン HWQFN (5 mm × 5 mm、0.5 mm ピッチ)
    - 24 ピン HWQFN (4 mm × 4 mm、0.5 mm ピッチ)
    - 20 ピン LSSOP (4.4 mm × 6.5 mm、0.65 mm ピッチ)
    - 16 ピン HWQFN (3 mm × 3 mm、0.5 mm ピッチ)

修正後：特長 UM(JP)P29

## 特長

- Arm Cortex-M23 コア
  - Armv8-M アーキテクチャ
  - 最高動作周波数：32 MHz
  - デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
  - CoreSight デバッグポート：SW-DP
- メモリ
  - 最大 64 KB のコードフラッシュメモリ
  - 1 KB のデータフラッシュメモリ (1,000,000 (TYP) 回のプログラム/イレースサイクル)
  - 12 KB の SRAM
  - フラッシュ読み出し保護 (FRP)
  - 128 ビットのユニーク ID
- 動作温度およびパッケージ
  - Ta = -40 °C ~ +105 °C
    - 32 ピン LQFP (7 mm × 7 mm、0.8 mm ピッチ)
    - 32 ピン HWQFN (5 mm × 5 mm、0.5 mm ピッチ)
    - 24 ピン HWQFN (4 mm × 4 mm、0.5 mm ピッチ)
    - 20 ピン TSSOP (4.4 mm × 6.5 mm、0.65 mm ピッチ)
    - 20 ピン LSSOP (4.4 mm × 6.5 mm、0.65 mm ピッチ)
    - 16 ピン HWQFN (3 mm × 3 mm、0.5 mm ピッチ)

修正前：表 1.11 I/O ポート UM(JP)P33

機能	機能の説明
I/O ポート	<ul style="list-style-type: none"> <li>● 32ピン LQFP/HWQFN 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：26</li> <li>- 入力端子：3</li> <li>- プルアップ抵抗：16</li> <li>- N チャネルオープンドレイン出力：15</li> <li>- 5V トレランス：2</li> </ul> </li> <li>● 24ピン HWQFN 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：20</li> <li>- 入力端子：1</li> <li>- プルアップ抵抗：12</li> <li>- N チャネルオープンドレイン出力：11</li> <li>- 5V トレランス：2</li> </ul> </li> <li>● 20ピン LSSOP 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：16</li> <li>- 入力端子：1</li> <li>- プルアップ抵抗：12</li> <li>- N チャネルオープンドレイン出力：9</li> </ul> </li> <li>● 16ピン HWQFN 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：12</li> <li>- 入力端子：1</li> <li>- プルアップ抵抗：9</li> <li>- N チャネルオープンドレイン出力：6</li> </ul> </li> </ul>

修正後：表 1.11 I/O ポート UM(JP)P33

機能	機能の説明
I/O ポート	<ul style="list-style-type: none"> <li>● 32ピン LQFP/HWQFN 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：26</li> <li>- 入力端子：3</li> <li>- プルアップ抵抗：16</li> <li>- N チャネルオープンドレイン出力：15</li> <li>- 5V トレランス：2</li> </ul> </li> <li>● 24ピン HWQFN 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：20</li> <li>- 入力端子：1</li> <li>- プルアップ抵抗：12</li> <li>- N チャネルオープンドレイン出力：11</li> <li>- 5V トレランス：2</li> </ul> </li> <li>● 20ピン LSSOP/TSSOP 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：16</li> <li>- 入力端子：1</li> <li>- プルアップ抵抗：12</li> <li>- N チャネルオープンドレイン出力：9</li> </ul> </li> <li>● 16ピン HWQFN 用 I/O ポート                             <ul style="list-style-type: none"> <li>- 入出力端子：12</li> <li>- 入力端子：1</li> <li>- プルアップ抵抗：9</li> <li>- N チャネルオープンドレイン出力：6</li> </ul> </li> </ul>

修正前：表 1.13 機能の比較 UM(JP)P37

型名		R7FA0E1073CFJ R7FA0E1073CNH		R7FA0E1053CFJ R7FA0E1053CNH		R7FA0E1073CNK		R7FA0E1053CNK		R7FA0E1073CSD R7FA0E1073CSD		R7FA0E1053CSD		R7FA0E1073CNL		R7FA0E1053CNL	
		32		24		20		16									
端子総数		32		24		20		16									
パッケージ		LQFP/HWQFN		HWQFN		LSSOP/ TSSOP		LSSOP		HWQFN							
コードフラッシュメモリ		64 KB	32 KB	64 KB	32 KB	64 KB	32 KB	64 KB	32 KB	64 KB	32 KB						
データフラッシュメモリ		1 KB		1 KB		1 KB		1 KB									
SRAM (パリティ)		12 KB		12 KB		12 KB		12 KB									
システム	CPU クロック	32 MHz		32 MHz		32 MHz		32 MHz									
	サブクロック発振器	あり		あり (CMC.XTSEL = 1)		あり (CMC.XTSEL = 1)		あり (CMC.XTSEL = 1)									
	ICU	あり		あり		あり		あり									
イベントコントロール	ELC	あり		あり		あり		あり									
DMA	DTC	あり		あり		あり		あり									
タイマ	TAU	8 (PWM 出力：7)		8 (PWM 出力：7)		8 (PWM 出力：7)		8 (PWM 出力：7)									
	TML32	1 (32 ビットカウンタモード)		1 (32 ビットカウンタモード)		1 (32 ビットカウンタモード)		1 (32 ビットカウンタモード)									
		2 (16 ビットカウンタモード)		2 (16 ビットカウンタモード)		2 (16 ビットカウンタモード)		2 (16 ビットカウンタモード)									
		4 (8 ビットカウンタモード)		4 (8 ビットカウンタモード)		4 (8 ビットカウンタモード)		4 (8 ビットカウンタモード)									
	RTC	あり		あり		あり		あり									
IWDT	あり		あり		あり		あり										
通信	SAU(注1)	3 (簡易 SPI)、 3 (簡易 IIC)、 2 (UART)、 1 (LIN バス対応 UART)		3 (簡易 SPI)、 3 (簡易 IIC)、 2 (UART)、 1 (LIN バス対応 UART)		3 (簡易 SPI)、 3 (簡易 IIC)、 2 (UART)、 1 (LIN バス対応 UART)		2 (簡易 SPI)、 2 (簡易 IIC)、 2 (UART)									
	UARTA	1		1		1		1									
	IICA	1		1		1		1									
アナログ	ADC12	10		8		6		5									
	TSN	あり		あり		あり		あり									
データ処理	CRC	あり		あり		あり		あり									
セキュリティ		TRNG		TRNG		TRNG		TRNG									
I/O ポート	入出力端子	26		20		16		12									
	入力端子	3		1		1		1									
	プルアップ抵抗	16		12		12		9									
	N チャネルオーブンドレイン出力	15		11		9		6									
	5V トレランス	2		2		—		—									

注 1. SAU は複数のチャンネルで構成されています。各チャンネルは、一度に 1 つの機能のみを割り当てることができます。

修正後：1.4 機能の比較 表 1.13 機能の比較 UM(JP)P37

型名		R7FA0E1073CFJ R7FA0E1073CNH	R7FA0E1053CFJ R7FA0E1053CNH	R7FA0E1073CNK	R7FA0E1053CNK	R7FA0E1073CSD	R7FA0E1073CSC	R7FA0E1053CSC	R7FA0E1073CNL	R7FA0E1053CNL
端子総数		32		24		20			16	
パッケージ		LQFP/HWQFN		HWQFN		TSSOP	LSSOP		HWQFN	
コードフラッシュメモリ		64 KB	32 KB	64 KB	32 KB	64KB	64 KB	32 KB	64 KB	32 KB
データフラッシュメモリ		1 KB		1 KB		1KB			1 KB	
SRAM (パリティ)		12 KB		12 KB		12KB			12 KB	
システム	CPU クロック	32 MHz		32 MHz		32 MHz			32 MHz	
	サブクロック 発振器	あり		あり (CMC.XTSEL=1)		なし	あり (CMC.XTSEL=1)		あり (CMC.XTSEL=1)	
	ICU	あり		あり			あり		あり	
イベントコン トロール	ELC	あり		あり			あり		あり	
DMA	DTC	あり		あり			あり		あり	
タイマ	TAU	8 (PWM 出力：7)		8 (PWM 出力：7)		8 (PWM 出力：7)			8 (PWM 出力：7)	
	TML32	1 (32 ビットカウン タモード) 2 (16 ビットカウン タモード) 4 (8 ビットカウン タモード)		1 (32 ビットカウン タモード) 2 (16 ビットカウン タモード) 4 (8 ビットカウン タモード)		1 (32 ビットカウンタモード) 2 (16 ビットカウンタモード) 4 (8 ビットカウンタモード)			1 (32 ビットカウンタ モード) 2 (16 ビットカウンタ モード) 4 (8 ビットカウン タモード)	
	RTC	あり		あり			あり		あり	
	IWDT	あり		あり			あり		あり	
	通信	SAU(注1)	3 (簡易 SPI)、 3 (簡易 IIC)、 2 (UART)、 1 (LIN バス対応 UART)		3 (簡易 SPI)、 3 (簡易 IIC)、 2 (UART)、 1 (LIN バス対応 UART)		3 (簡易 SPI)、 3 (簡易 IIC)、 2 (UART)、 1 (LIN バス対応 UART)			2 (簡易 SPI)、 2 (簡易 IIC)、 2 (UART)
	UARTA	1		1		1			1	
	IICA	1		1		1			1	
アナログ	ADC12	10		8		6			5	
	TSN	あり		あり		あり			あり	
データ処理	CRC	あり		あり		あり			あり	
セキュリティ		TRNG		TRNG		TRNG			TRNG	
I/O ポート	入出力端子	26		20		16			12	
	入力端子	3		1		1			1	
	プルアップ抵抗	16		12		12			9	
	N チャネルオ ープンドレイ ン出力	15		11		9			6	
	5V トレランス	2		2		—			—	

注 1. SAU は複数のチャンネルで構成されています。各チャンネルは、一度に 1 つの機能のみを割り当てることができます。

修正前：図 1.5 20 ピン LSSOP/TSSOP のピン配置図（上面図）UM(JP)P41

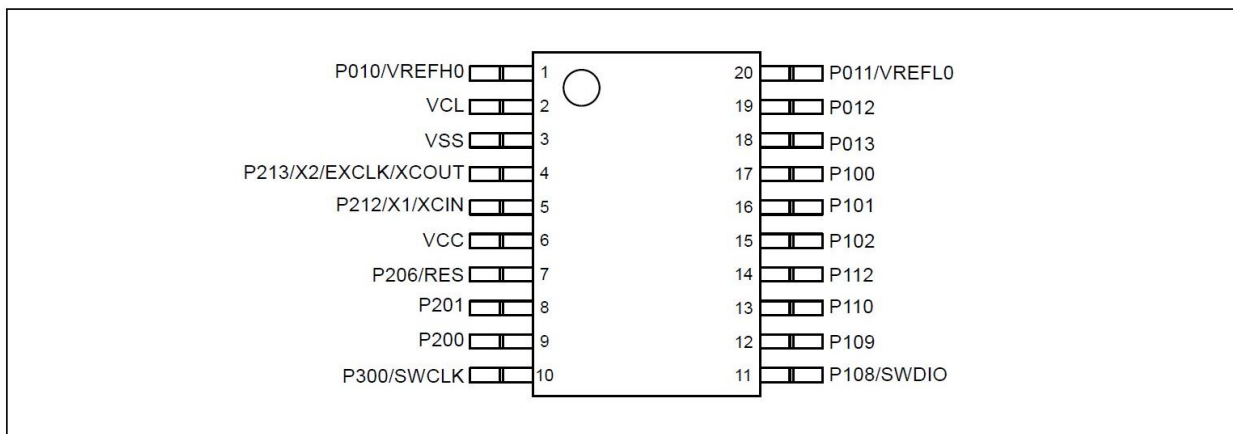


図 1.5 20 ピン LSSOP/TSSOP のピン配置図（上面図）

修正後：図 1.5 20 ピン LSSOP/TSSOP のピン配置図（上面図）UM(JP)P41

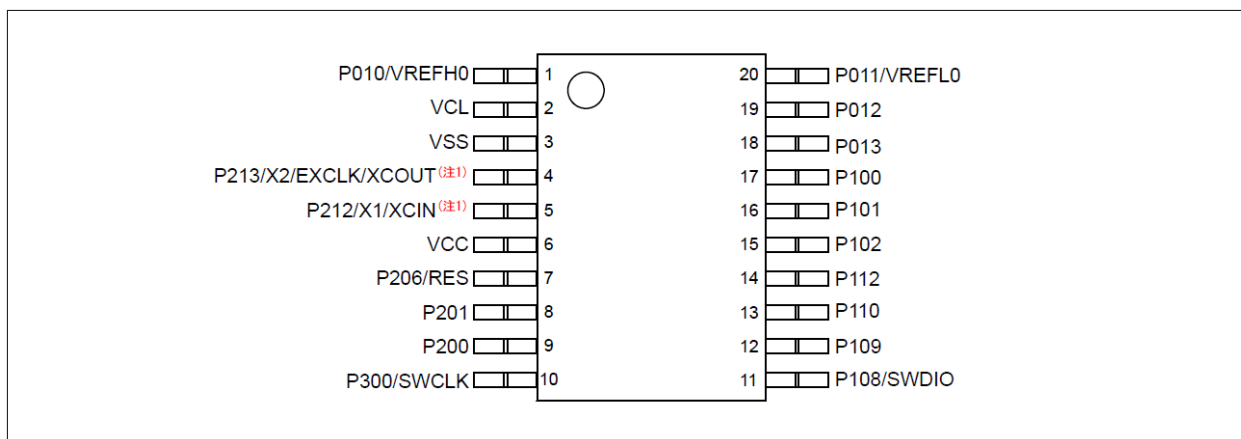


図 1.5 20 ピン LSSOP/TSSOP のピン配置図（上面図）

注 1. 20 ピン TSSOP 製品は非搭載です。

修正前：表 1.15 端子一覧 UM(JP)P43

端子番号				電源、システム、クロック、デバッグ	I/Oポート	割り込み	タイマ		通信インタフェース			アナログ
32ピン	24ピン	20ピン	16ピン				TAU	RTC	SAU	IICA	UARTA	ADC
1	1	2	16	VCL	—	—	—	—	—	—	—	—
2	—	—	—	XCIN	P215	—	—	—	—	—	—	—
3	—	—	—	XCOUT	P214	—	—	—	—	—	—	—
4	2	3	1	VSS	—	—	—	—	—	—	—	—
5	3	4	2	X2/EXCLK/ XCOUT <sup>(注1)</sup>	P213	IRQ0_B	Ti00_A/Ti02_B/ TO02_B	—	TXD1_A/ SO11_A	SDAA0_B	TXDA0_B	—
6	4	5	3	X1/XCIN <sup>(注1)</sup>	P212	IRQ1_B	TO00_A/ Ti03_C/TO03_C	—	RXD1_A/ SI11_A/ SDA11_A	SCLA0_B	RXDA0_B	—
7	5	6	4	VCC	—	—	—	—	—	—	—	—
8	—	—	—	PCLBUZ0_C	P407	IRQ4_C	—	RTCOUT_A	SCK11_A/ SCL11_A	—	—	—
9	6	—	—	—	P914	—	—	—	SCLA0_A	—	—	—
10	7	—	—	—	P913	—	—	—	SDAA0_A	—	—	—
11	—	—	—	—	P208	IRQ3_C	Ti00_B	—	—	—	TXDA0_A	—
12	—	—	—	—	P207	IRQ2_C	TO00_B	—	—	—	RXDA0_A	—
13	8	7	5	RES	P206	—	—	—	—	—	—	—
14	9	8	6	PCLBUZ0_A	P201	IRQ5_B	Ti05_B/TO05_B	RTCOUT_B	SSI00_B/ SCK11_B/ SCL11_B	—	—	—
15	10	9	7	—	P200	IRQ0_A/NMI	—	—	—	—	—	—
16	11	10	8	SWCLK	P300	—	Ti04_B/TO04_B	—	—	—	—	—
17	12	11	9	SWDIO	P108	—	Ti03_B/TO03_B	—	—	—	—	—
18	13	12	—	—	P109	IRQ4_B	Ti02_A/TO02_A	—	TXD2_A/ SO20_A	SDAA0_C	TXDA0_C	—
19	14	13	—	—	P110	IRQ3_B	Ti01_A/TO01_A	—	RXD2_A/ SI20_A/ SDA20_A	SCLA0_C	RXDA0_C	—
20	15	14	—	—	P112	IRQ2_B	Ti03_A/TO03_A	—	SCK20_A/ SCL20_A/ SSI00_C	—	—	—
21	—	—	—	—	P103	IRQ5_A	Ti05_A/TO05_A	—	SSI00_A	—	—	—
22	16	15	10	PCLBUZ0_B	P102	IRQ4_A	Ti06_A/ TO06_A/ TO00_C	RTCOUT_C	SCK00_A/ SCL00_A	—	—	—
23	17	16	11	—	P101	IRQ3_A	Ti07_A/ TO07_A/Ti00_C	—	TXD0_A/ SO00_A	SDAA0_D	TXDA0_D	AN021
24	18	17	12	—	P100	IRQ2_A	Ti04_A/ TO04_A/ Ti01_B/TO01_B	—	RXD0_A/ SI00_A/ SDA00_A	SCLA0_D	RXDA0_D	AN022
25	19	—	—	—	P015	IRQ1_A	—	—	—	—	—	AN007
26	20	—	—	—	P014	—	—	—	—	—	—	AN006
27	21	18	—	—	P013	—	—	—	—	—	—	AN005
28	22	19	13	—	P012	—	—	—	—	—	—	AN004
29	—	—	—	—	P009	—	—	—	—	—	—	AN003
30	—	—	—	—	P008	—	—	—	—	—	—	AN002
31	23	20	14	VREFL0	P011	—	—	—	—	—	—	AN001
32	24	1	15	VREFH0	P010	—	—	—	—	—	—	AN000

注 1. 24ピン、20ピン、16ピン製品に対して、CMC.XTSEL = 1 を設定する場合

修正後：表 1.15 端子一覧 UM(JP)P43

端子番号				電源、システム、クロック、デバッグ	I/Oポート	割り込み	タイマ		通信インタフェース			アナログ
32ピン	24ピン	20ピン	16ピン				TAU	RTC	SAU	IICA	UARTA	ADC
1	1	2	16	VCL	—	—	—	—	—	—	—	—
2	—	—	—	XCIN	P215	—	—	—	—	—	—	—
3	—	—	—	XCOUT	P214	—	—	—	—	—	—	—
4	2	3	1	VSS	—	—	—	—	—	—	—	—
5	3	4	2	X2/EXCLK/ XCOUT <sup>(注1)</sup>	P213	IRQ0_B	Ti00_A/Ti02_B/ TO02_B	—	TXD1_A/ SO11_A	SDAA0_B	TXDA0_B	—
6	4	5	3	X1/XCIN <sup>(注1)</sup>	P212	IRQ1_B	TO00_A/ Ti03_C/TO03_C	—	RXD1_A/ SI11_A/ SDA11_A	SCLA0_B	RXDA0_B	—
7	5	6	4	VCC	—	—	—	—	—	—	—	—
8	—	—	—	PCLBUZ0_C	P407	IRQ4_C	—	RTCOUT_A	SCK11_A/ SCL11_A	—	—	—
9	6	—	—	—	P914	—	—	—	SCLA0_A	—	—	—
10	7	—	—	—	P913	—	—	—	SDAA0_A	—	—	—
11	—	—	—	—	P208	IRQ3_C	Ti00_B	—	—	—	TXDA0_A	—
12	—	—	—	—	P207	IRQ2_C	TO00_B	—	—	—	RXDA0_A	—
13	8	7	5	RES	P206	—	—	—	—	—	—	—
14	9	8	6	PCLBUZ0_A	P201	IRQ5_B	Ti05_B/TO05_B	RTCOUT_B	SSI00_B/ SCK11_B/ SCL11_B	—	—	—
15	10	9	7	—	P200	IRQ0_A/NMI	—	—	—	—	—	—
16	11	10	8	SWCLK	P300	—	Ti04_B/TO04_B	—	—	—	—	—
17	12	11	9	SWDIO	P108	—	Ti03_B/TO03_B	—	—	—	—	—
18	13	12	—	—	P109	IRQ4_B	Ti02_A/TO02_A	—	TXD2_A/ SO20_A	SDAA0_C	TXDA0_C	—
19	14	13	—	—	P110	IRQ3_B	Ti01_A/TO01_A	—	RXD2_A/ SI20_A/ SDA20_A	SCLA0_C	RXDA0_C	—
20	15	14	—	—	P112	IRQ2_B	Ti03_A/TO03_A	—	SCK20_A/ SCL20_A/ SSI00_C	—	—	—
21	—	—	—	—	P103	IRQ5_A	Ti05_A/TO05_A	—	SSI00_A	—	—	—
22	16	15	10	PCLBUZ0_B	P102	IRQ4_A	Ti06_A/ TO06_A/ TO00_C	RTCOUT_C	SCK00_A/ SCL00_A	—	—	—
23	17	16	11	—	P101	IRQ3_A	Ti07_A/ TO07_A/Ti00_C	—	TXD0_A/ SO00_A	SDAA0_D	TXDA0_D	AN021
24	18	17	12	—	P100	IRQ2_A	Ti04_A/ TO04_A/ Ti01_B/TO01_B	—	RXD0_A/ SI00_A/ SDA00_A	SCLA0_D	RXDA0_D	AN022
25	19	—	—	—	P015	IRQ1_A	—	—	—	—	—	AN007
26	20	—	—	—	P014	—	—	—	—	—	—	AN006
27	21	18	—	—	P013	—	—	—	—	—	—	AN005
28	22	19	13	—	P012	—	—	—	—	—	—	AN004
29	—	—	—	—	P009	—	—	—	—	—	—	AN003
30	—	—	—	—	P008	—	—	—	—	—	—	AN002
31	23	20	14	VREFL0	P011	—	—	—	—	—	—	AN001
32	24	1	15	VREFH0	P010	—	—	—	—	—	—	AN000

注 1. 24ピン、20ピン、16ピン製品に対して、CMC.XTSEL = 1 を設定する場合

20ピン TSSOP 製品では XCOUT, XCIN 非搭載です。

修正前：図 8.2 クロック発生回路のブロック図 (24、20、16 ピン)

表 8.3 クロック発生回路入出力端子

UM(JP)P83

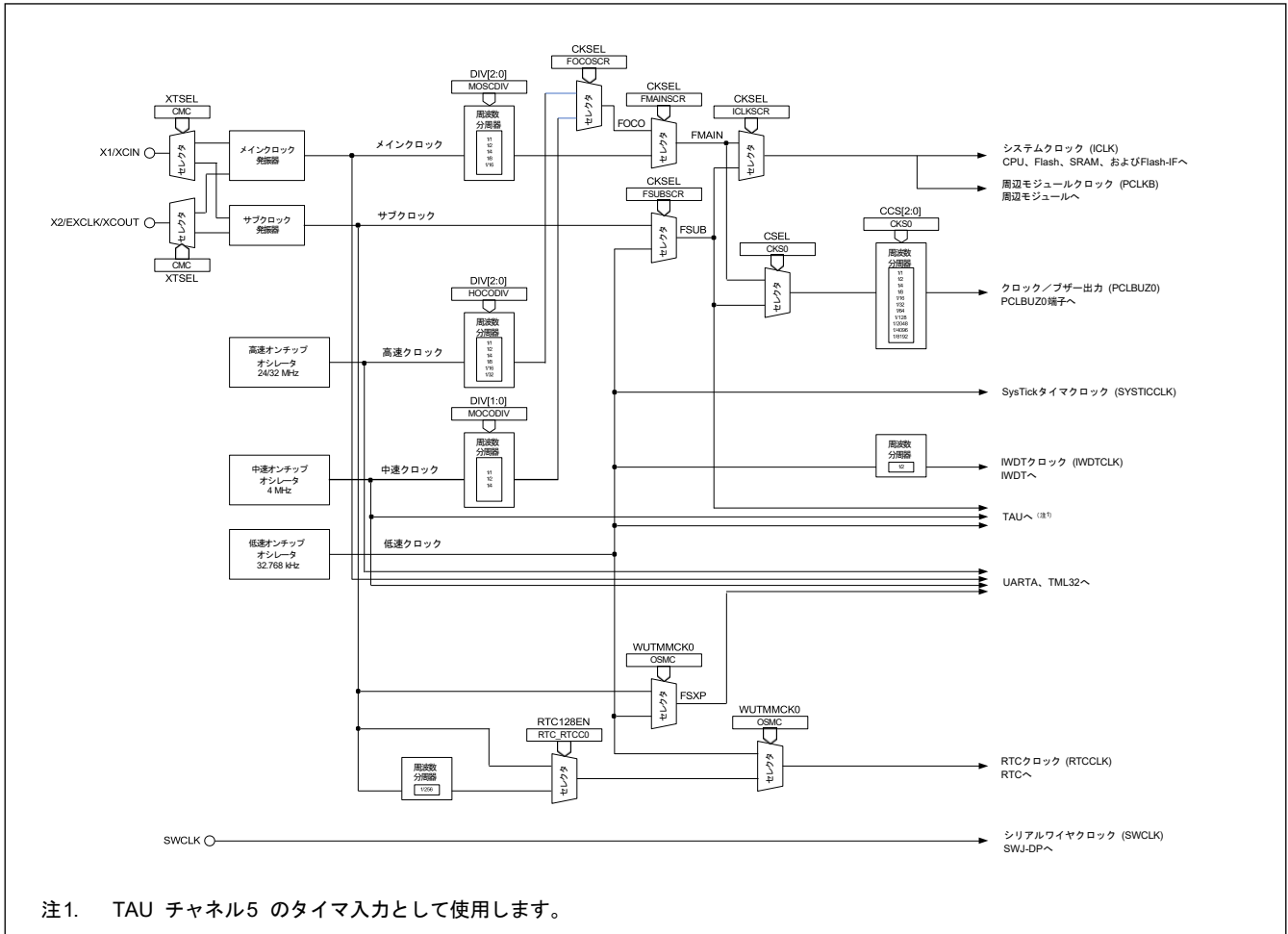


図 8.2 クロック発生回路のブロック図 (24、20、16 ピン)

表 8.3 クロック発生回路入出力端子

端子名	入出力	機能
X1	出力	水晶振動子を接続します。EXCLK 端子は外部クロックを入力することもできます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
X2/EXCLK	入力	
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	
PCLBUZ0	出力	CLKOUT/BUZZER クロックを出力します。
SWCLK	入力	SWD からの入力です。

修正後：図 8.2 クロック発生回路のブロック図 (24、20、16 ピン)

表 8.3 クロック発生回路入出力端子

UM(JP)P83

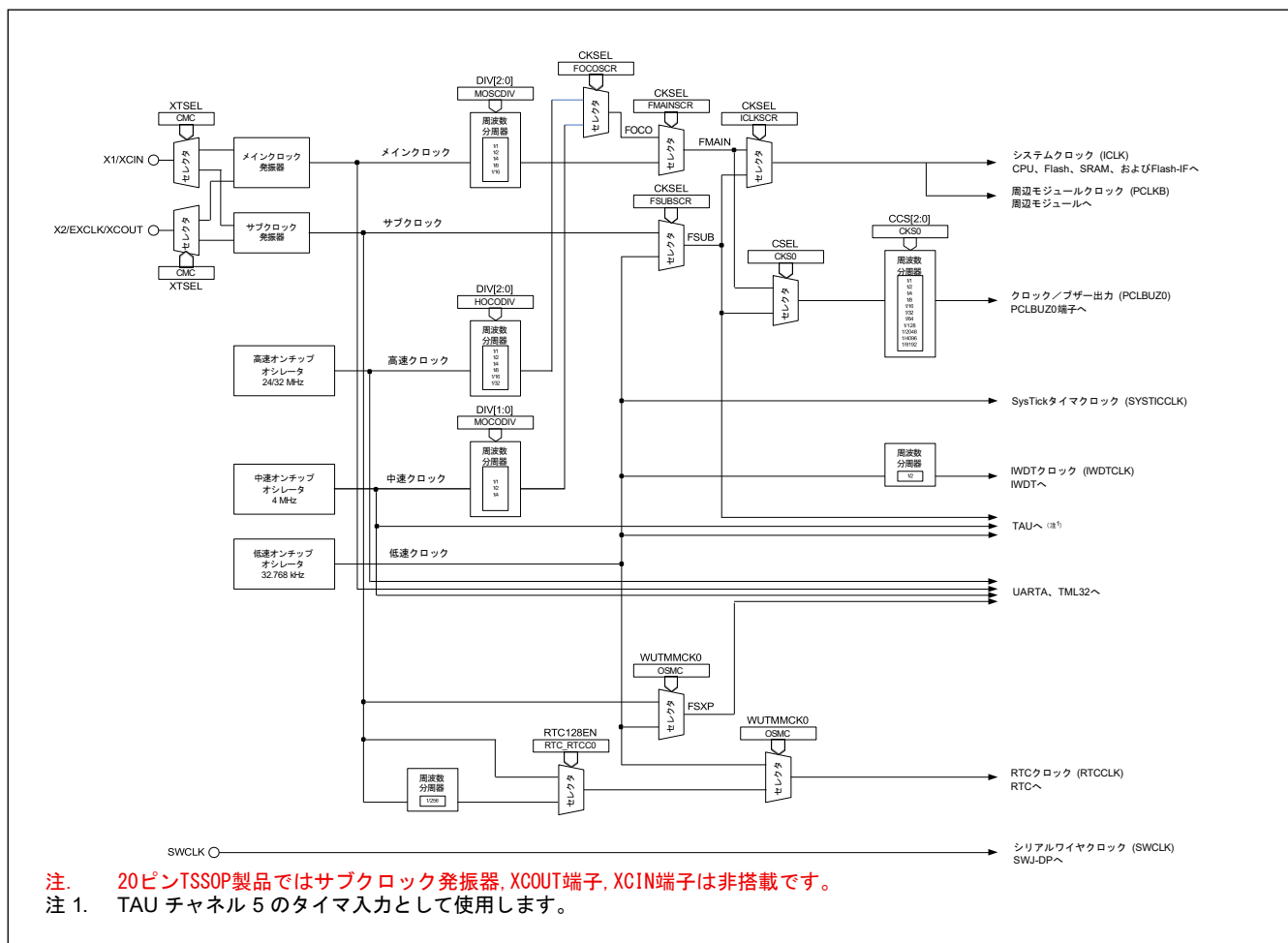


図 8.2 クロック発生回路のブロック図 (24、20、16 ピン)

表 8.3 クロック発生回路入出力端子

端子名	入出力	機能
X1	出力	水晶振動子を接続します。EXCLK 端子は外部クロックを入力することもできます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
X2/EXCLK	入力	
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	20ピンTSSOP製品は非搭載です。
PCLBUZ0	出力	CLKOUT/BUZZER クロックを出力します。
SWCLK	入力	SWD からの入力です。

修正前：8.2.1 CMC：クロック動作モードコントロールレジスタ UM(JP)P83,84

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOSEL[1:0]	—	SOSEL	XTSEL (注1)	SODRV[1:0]	MODRV	V	
Value after reset:	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
0	MODRV	メインクロック発振器駆動能力切り替え 0: 1 MHz~10 MHz 1: 10 MHz~20 MHz	R/W
2:1	SODRV[1:0]	サブクロック発振器駆動能力切り替え 00: 低消費電力モード 1 01: 通常モード 10: 低消費電力モード 2 11: 低消費電力モード 3	R/W
3	XTSEL	クロック発振器選択 0: MOSEL の内容を選択(注2) 1: SOSEL の内容を選択	R/W(注3)
4	SOSEL	サブクロック発振器切り替え 0: ポートモード 1: 発振子モード	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	MOSEL[1:0]	メインクロック発振器切り替え 01: 発振子モード 11: 外部クロック入力モード その他: ポートモード	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注. CMC レジスタは、リセット状態から解除した後に書き込みを 1 回だけ行うことができます。

注 1. 32 ピン製品では、設定値は 0 に固定されます。

注 2. Low-speed モードでメインクロック発振器をクロックソースとして使用することは禁止されています。

注 3. 24 ピン以下の製品では「R/W」、32 ピン製品では「R」のみです。

修正後：8.2.1 CMC：クロック動作モードコントロールレジスタ UM(JP)P83,84

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOSEL[1:0]	—	SOSEL (注4)	XTSEL (注1)	SODRV[1:0] (注5)	MODR V		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MODRV	メインクロック発振器駆動能力切り替え 0: 1 MHz~10 MHz 1: 10 MHz~20 MHz	R/W
2:1	SODRV[1:0]	サブクロック発振器駆動能力切り替え 00: 低消費電力モード 1 01: 通常モード 10: 低消費電力モード 2 11: 低消費電力モード 3	R/W
3	XTSEL	クロック発振器選択 0: MOSEL の内容を選択(注2) 1: SOSEL の内容を選択	R/W(注3)
4	SOSEL	サブクロック発振器切り替え 0: ポートモード 1: 発振子モード	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	MOSEL[1:0]	メインクロック発振器切り替え 01: 発振子モード 11: 外部クロック入力モード その他: ポートモード	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注. CMC レジスタは、リセット状態から解除した後に書き込みを 1 回だけ行うことができます。

注 1. 32 ピン製品では、設定値は 0 に固定されます。

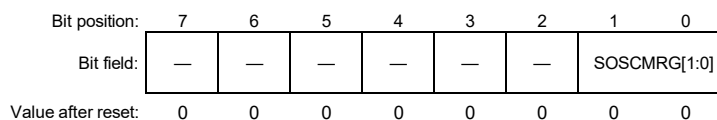
注 2. Low-speed モードでメインクロック発振器をクロックソースとして使用することは禁止されています。

注 3. 24 ピン以下の製品では「R/W」、32 ピン製品では「R」のみです。

注 4. 20 ピン TSSOP 製品では 0 を設定してください。

注 5. 20 ピン TSSOP 製品では 00b を設定してください。

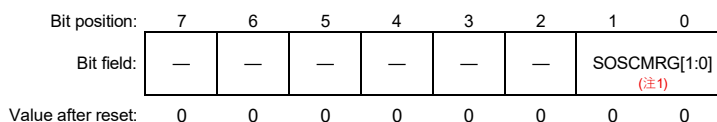
修正前：8.2.2 SOMRG：サブクロック発振器マージンチェックレジスタ UM(JP)P85



ビット	シンボル	機能	R/W
1:0	SOSCMRG[1:0]	サブクロック発振器マージンチェック切り替え 0 0: 通常電流 0 1: 下側マージンチェック 1 0: 上側マージンチェック 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

修正後：8.2.2 SOMRG：サブクロック発振器マージンチェックレジスタ UM(JP)P85

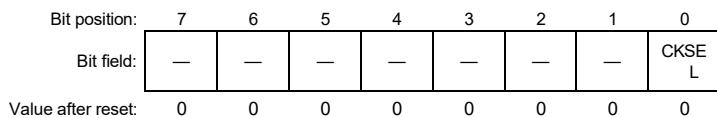


ビット	シンボル	機能	R/W
1:0	SOSCMRG[1:0]	サブクロック発振器マージンチェック切り替え 0 0: 通常電流 0 1: 下側マージンチェック 1 0: 上側マージンチェック 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 20ピン TSSOP 製品では 00b を設定してください。

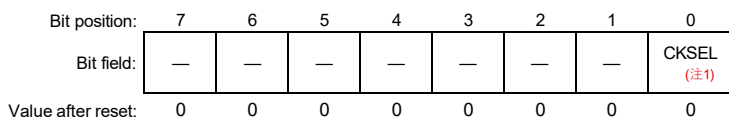
修正前：8.2.5 FSUBSCR : FSUB クロックソースコントロールレジスタ UM(JP)P86



ビット	シンボル	機能	R/W
0	CKSEL	FSUB クロックソース選択 0: SOSC 1: LOCO	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRGR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

修正後：8.2.5 FSUBSCR : FSUB クロックソースコントロールレジスタ UM(JP)P86



ビット	シンボル	機能	R/W
0	CKSEL	FSUB クロックソース選択 0: SOSC 1: LOCO	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRGR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 20ピン TSSOP 製品ではサブシステムクロック (FSUB)を使用する場合は、LOCO を選択 (CKSEL ビットに 1 を設定)してください。

**修正前：8.2.8 SOSCCR：サブクロック発振器コントロールレジスタ UM(JP)P88**

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. SOSTP を 0 にする前に、CMC レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

**修正後：8.2.8 SOSCCR：サブクロック発振器コントロールレジスタ UM(JP)P88**

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP (注2)
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. SOSTP を 0 にする前に、CMC レジスタを設定する必要があります。

注 2. 20ピン TSSOP 製品では 1 を設定してください。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

修正前：8.2.18 OSMC：サブシステムクロック供給モードコントロールレジスタ UM(JP)P96

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	WUTM MCK0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUTMMCK0	リアルタイムクロック、32 ビットインターバルタイマ、シリアルインタフェース UARTA の動作クロックソースの選択 0: SOSC 1: LOCO(注1)(注2)	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. SOSC の停止後、クロックソースを SOSC から LOCO に変更できます。

注 2. SOSC クロックと LOCO クロックの切り替えは、リアルタイムクロック、32 ビットインターバルタイマ、およびシリアルインタフェース UARTA のすべてが停止している場合にのみ、WUTMMCK0 ビットで有効にできます。

修正後：8.2.18 OSMC：サブシステムクロック供給モードコントロールレジスタ UM(JP)P96

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	WUTM MCK0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUTMMCK0(注3)	リアルタイムクロック、32 ビットインターバルタイマ、シリアルインタフェース UARTA の動作クロックソースの選択 0: SOSC 1: LOCO(注1)(注2)	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. SOSC の停止後、クロックソースを SOSC から LOCO に変更できます。

注 2. SOSC クロックと LOCO クロックの切り替えは、リアルタイムクロック、32 ビットインターバルタイマ、およびシリアルインタフェース UARTA のすべてが停止している場合にのみ、WUTMMCK0 ビットで有効にできます。

注 3. 20 ピン TSSOP 製品では SOSC を搭載していません。リアルタイムクロック、32 ビットインターバルタイマ、シリアルインタフェース UARTA の動作クロックソースにサブシステムクロックを供給する場合は、LOCO を選択 (WUTMMCK0 ビットに 1 を設定) してください。

**修正前：8.4 サブクロック発振器 UM(JP)P100**

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

**修正後：8.4 サブクロック発振器 UM(JP)P100**

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

注. 20ピン TSSOP 製品は非搭載です。

修正前：表 18.1 32 ビットインターバルタイマの動作仕様 UM(JP)P292

項目	説明
カウントソース（動作クロック）	<ul style="list-style-type: none"> <li>● HOCO</li> <li>● MOCO</li> <li>● MOSC</li> <li>● LOCO/SOSC (LOCO または SOSC) (注1)</li> <li>● ELC からのイベント入力</li> </ul>
キャプチャクロック (キャプチャトリガを発生可能なタイマによる選択可能なカウントソース)	<ul style="list-style-type: none"> <li>● HOCO</li> <li>● MOCO</li> <li>● MOSC</li> <li>● LOCO/SOSC (LOCO または SOSC) (注1)</li> <li>● ELC からのイベント入力</li> </ul>
分周比	<ul style="list-style-type: none"> <li>● 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>● 8 ビットカウンタモード</li> </ul> <p>チャンネル 0~3 はそれぞれ独立した 8 ビットカウンタとして動作。</p> <ul style="list-style-type: none"> <li>● 16 ビットカウンタモード</li> </ul> <p>チャンネル 0~1 およびチャンネル 2~3 の組み合わせを 2 つの 16 ビットカウンタとしてカスケード接続可能。</p> <ul style="list-style-type: none"> <li>● 32 ビットカウンタモード</li> </ul> <p>チャンネル 0~3 を接続して 1 つの 32 ビットカウンタとして動作。</p> <ul style="list-style-type: none"> <li>● 16 ビットキャプチャモード</li> </ul> <p>チャンネル 0~1 を接続してカウントソース使用の 16 ビットカウンタとして動作。チャンネル 2~3 を接続してキャプチャクロック使用の 16 ビットカウンタとして動作。両カウンタを接続してキャプチャ動作に使用。</p>
割り込み	<ul style="list-style-type: none"> <li>● 5 つの割り込み要因を 1 つの割り込み信号に統合し、TML32_ITL_OR 信号として出力。 <ul style="list-style-type: none"> <li>- チャンネル 0~3 のいずれかのカウンタ値が比較値と一致した時に出力。</li> <li>- キャプチャモードでカウンタ値のキャプチャが完了した時に出力。</li> </ul> </li> </ul>
イベントリンク機能	<ul style="list-style-type: none"> <li>● ELC に対して、4 つのトリガ信号 (TML32_ITL0~TML32_ITL3) を出力。 <ul style="list-style-type: none"> <li>- チャンネル 0~3 のいずれかのカウンタ値が比較値と一致した時に出力。</li> </ul> </li> </ul>

注 1. OSMC.WUTMMCK0 ピットの設定により、LOCO または SOSC を FSXP として選択してください。

修正後：表 18.1 32 ビットインターバルタイマの動作仕様 UM(JP)P292

項目	説明
カウントソース（動作クロック）	<ul style="list-style-type: none"> <li>● HOCO</li> <li>● MOCO</li> <li>● MOSC</li> <li>● LOCO/SOSC (LOCO または SOSC) (注1)</li> <li>● ELC からのイベント入力</li> </ul>
キャプチャクロック (キャプチャトリガを発生可能なタイマによる選択可能なカウントソース)	<ul style="list-style-type: none"> <li>● HOCO</li> <li>● MOCO</li> <li>● MOSC</li> <li>● LOCO/SOSC (LOCO または SOSC) (注1)</li> <li>● ELC からのイベント入力</li> </ul>
分周比	<ul style="list-style-type: none"> <li>● 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>● 8 ビットカウンタモード</li> </ul> <p>チャンネル 0~3 はそれぞれ独立した 8 ビットカウンタとして動作。</p> <ul style="list-style-type: none"> <li>● 16 ビットカウンタモード</li> </ul> <p>チャンネル 0~1 およびチャンネル 2~3 の組み合わせを 2 つの 16 ビットカウンタとしてカスケード接続可能。</p> <ul style="list-style-type: none"> <li>● 32 ビットカウンタモード</li> </ul> <p>チャンネル 0~3 を接続して 1 つの 32 ビットカウンタとして動作。</p> <ul style="list-style-type: none"> <li>● 16 ビットキャプチャモード</li> </ul> <p>チャンネル 0~1 を接続してカウントソース使用の 16 ビットカウンタとして動作。チャンネル 2~3 を接続してキャプチャクロック使用の 16 ビットカウンタとして動作。両カウンタを接続してキャプチャ動作に使用。</p>
割り込み	<ul style="list-style-type: none"> <li>● 5 つの割り込み要因を 1 つの割り込み信号に統合し、TML32_ITL_OR 信号として出力。 <ul style="list-style-type: none"> <li>- チャンネル 0~3 のいずれかのカウンタ値が比較値と一致した時に出力。</li> <li>- キャプチャモードでカウンタ値のキャプチャが完了した時に出力。</li> </ul> </li> </ul>
イベントリンク機能	<ul style="list-style-type: none"> <li>● ELC に対して、4 つのトリガ信号 (TML32_ITL0~TML32_ITL3) を出力。 <ul style="list-style-type: none"> <li>- チャンネル 0~3 のいずれかのカウンタ値が比較値と一致した時に出力。</li> </ul> </li> </ul>

注 1. OSMC.WUTMMCK0 ピットの設定により、LOCO または SOSC を FSXP として選択してください。

20 ピン TSSOP 製品では SOSC を搭載していません。

修正前：表 19.1 RTC の仕様 UM(JP)P310

項目	内容
カウントモード	カレンダーカウントモード
カウントソース	<ul style="list-style-type: none"> <li>サブクロック (SOSC) または LOCO</li> <li>サブクロックから 128 Hz (SOSC/256)</li> </ul>
カレンダー機能	年、月、日、曜日、時、分、および秒を 99 年までカウント
割り込み (RTC_ALM_OR_PRD)	以下の 2 種類の割り込みは、リアルタイムクロック割り込み信号 (RTC_ALM_OR_PRD) のソースです。 <ul style="list-style-type: none"> <li>固定周期割り込み                             <ul style="list-style-type: none"> <li>周期を 0.5 秒、1 秒、1 分、1 時間、1 日、1 か月から選択可能</li> </ul> </li> <li>アラーム割り込み                             <ul style="list-style-type: none"> <li>曜日、時、分でアラーム設定</li> </ul> </li> </ul>
端子出力機能	1 Hz クロック出力

リアルタイムクロック割り込み信号 (RTC\_ALM\_OR\_PRD) は、本 MCU をソフトウェアスタンバイモードからウェイクアップさせるために使用できます。また、スヌーズモードへ遷移する契機として使用することもできます。

修正後：表 19.1 RTC の仕様 UM(JP)P310

項目	内容
カウントモード	カレンダーカウントモード
カウントソース <sup>(注)</sup>	<ul style="list-style-type: none"> <li>サブクロック (SOSC) または LOCO</li> <li>サブクロックから 128 Hz (SOSC/256)</li> </ul>
カレンダー機能	年、月、日、曜日、時、分、および秒を 99 年までカウント
割り込み (RTC_ALM_OR_PRD)	以下の 2 種類の割り込みは、リアルタイムクロック割り込み信号 (RTC_ALM_OR_PRD) のソースです。 <ul style="list-style-type: none"> <li>固定周期割り込み                             <ul style="list-style-type: none"> <li>周期を 0.5 秒、1 秒、1 分、1 時間、1 日、1 か月から選択可能</li> </ul> </li> <li>アラーム割り込み                             <ul style="list-style-type: none"> <li>曜日、時、分でアラーム設定</li> </ul> </li> </ul>
端子出力機能	1 Hz クロック出力

リアルタイムクロック割り込み信号 (RTC\_ALM\_OR\_PRD) は、本 MCU をソフトウェアスタンバイモードからウェイクアップさせるために使用できます。また、スヌーズモードへ遷移する契機として使用することもできます。

注: 20ピン TSSOP 製品では SOSC を搭載していないのでカウントソースに使用できません。

修正前：表 23.1 UARTA の仕様 UM(JP)P531

項目	仕様
シリアルインタフェースモード	<ul style="list-style-type: none"> <li>動作停止モード</li> <li>UART モード</li> </ul>
インタフェース	<ul style="list-style-type: none"> <li>TXDA0：送信データ出力端子</li> <li>RXDA0：受信データ入力端子</li> </ul>
動作クロックソース	CPU や周辺ハードウェアクロックから独立した動作クロックを MOSC、HOCO、MOCO、および FSXP (LOCO または SOSC) から選択可能 <sup>(注1)</sup>
転送速度	最大 153.6 kbps
ボーレート	専用の内部 8 ビットボーレートジェネレータで設定可能
データフォーマット	<ul style="list-style-type: none"> <li>MSB ファーストまたは LSB ファーストを選択可能</li> <li>転送ビット長を 5 ビット、7 ビット、8 ビットから選択可能</li> </ul>
割り込み要因 (UARTA0_TXI/UARTA0_RXI/UARTA0_ERRI)	<ul style="list-style-type: none"> <li>転送完了割り込み</li> <li>受信転送終了</li> <li>受信エラー割り込み</li> </ul>
その他の機能	<ul style="list-style-type: none"> <li>送信と受信が互いに独立 (全二重通信)</li> <li>通信論理レベルの反転制御あり</li> <li>ループバックモード</li> </ul>
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能

注 1. OSMC\_WUTMMCK0 ビットの設定により LOCO または SOSC を FSXP として選択できます。

修正後：表 23.1 UARTA の仕様 UM(JP)P531

項目	仕様
シリアルインタフェースモード	<ul style="list-style-type: none"> <li>動作停止モード</li> <li>UART モード</li> </ul>
インタフェース	<ul style="list-style-type: none"> <li>TXDA0：送信データ出力端子</li> <li>RXDA0：受信データ入力端子</li> </ul>
動作クロックソース	CPU や周辺ハードウェアクロックから独立した動作クロックを MOSC、HOCO、MOCO、および FSXP (LOCO または SOSC) から選択可能 <sup>(注1)(注2)</sup>
転送速度	最大 153.6 kbps
ボーレート	専用の内部 8 ビットボーレートジェネレータで設定可能
データフォーマット	<ul style="list-style-type: none"> <li>MSB ファーストまたは LSB ファーストを選択可能</li> <li>転送ビット長を 5 ビット、7 ビット、8 ビットから選択可能</li> </ul>
割り込み要因 (UARTA0_TXI/UARTA0_RXI/UARTA0_ERRI)	<ul style="list-style-type: none"> <li>転送完了割り込み</li> <li>受信転送終了</li> <li>受信エラー割り込み</li> </ul>
その他の機能	<ul style="list-style-type: none"> <li>送信と受信が互いに独立 (全二重通信)</li> <li>通信論理レベルの反転制御あり</li> <li>ループバックモード</li> </ul>
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能

注 1. OSMC\_WUTMMCK0 ビットの設定により LOCO または SOSC を FSXP として選択できます。

注 2. 20ピン TSSOP 製品では SOSC を搭載していないので動作クロックソースに使用できません。

**修正前：表 25.1 ADC12 の仕様 (2/2) UM(JP)P561**

項目	内容
基準電圧	<ul style="list-style-type: none"> <li>• VREFH0、VCC、または内部基準電圧 (BGR) (外部基準電圧または基準電圧生成回路からの出力電圧) をアナログ基準電圧として選択できます。</li> <li>• VREFL0 または VSS をアナログ基準グランド電圧として選択できます。</li> </ul>
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減できます。(注2)

- 注 1. LQFP/HWQFN 32 ピン用 AN000~AN007, AN021, AN022  
 HWQFN 24 ピン用 AN000, AN001, AN004~AN007, AN021, AN022  
 LSSOP 20 ピン用 AN000, AN001, AN004, AN005, AN021, AN022  
 HWQFN 16 ピン用 AN000, AN001, AN004, AN021, AN022

注 2. 詳細は、「9. 低消費電力モード」を参照してください。

**修正後：表 25.1 ADC12 の仕様 (2/2) UM(JP)P561**

項目	内容
基準電圧	<ul style="list-style-type: none"> <li>• VREFH0、VCC、または内部基準電圧 (BGR) (外部基準電圧または基準電圧生成回路からの出力電圧) をアナログ基準電圧として選択できます。</li> <li>• VREFL0 または VSS をアナログ基準グランド電圧として選択できます。</li> </ul>
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減できます。(注2)

- 注 1. LQFP/HWQFN 32 ピン用 AN000~AN007, AN021, AN022  
 HWQFN 24 ピン用 AN000, AN001, AN004~AN007, AN021, AN022  
 LSSOP/TSSOP 20 ピン用 AN000, AN001, AN004, AN005, AN021, AN022  
 HWQFN 16 ピン用 AN000, AN001, AN004, AN021, AN022

注 2. 詳細は、「9. 低消費電力モード」を参照してください。

**修正前：31.2.2 サブクロック発振器特性 UM(JP)P669**

条件：VCC = 2.4~5.5 V (16~24 ピン製品), VCC = 1.6~5.5 V (32 ピン製品), VSS = 0 V, Ta = -40~+105° C

項目		Min	Typ	Max	単位	測定条件
サブクロック発振周波数 (fsosc) <sup>(注1)</sup>	水晶振動子	—	32.768	—	kHz	—

注 1. この表に記載された時間と周波数は、発振器の許容範囲を示します。実際のアプリケーションについては、適切な値を使用できるように、基板に搭載された発振器回路のメーカーによる評価を要求してください。命令実行時間は、AC 特性を参照してください。

**修正後：31.2.2 サブクロック発振器特性 UM(JP)P669**

条件：VCC = 2.4~5.5 V (16~24 ピン製品), VCC = 1.6~5.5 V (32 ピン製品), VSS = 0 V, Ta = -40~+105° C

項目		Min	Typ	Max	単位	測定条件
サブクロック発振周波数 (fsosc) <sup>(注1)</sup>	水晶振動子	—	32.768	—	kHz	—

注 1. この表に記載された時間と周波数は、発振器の許容範囲を示します。実際のアプリケーションについては、適切な値を使用できるように、基板に搭載された発振器回路のメーカーによる評価を要求してください。命令実行時間は、AC 特性を参照してください。

注 . 20 ピン TSSOP 製品ではサブクロック発振器は搭載していません。

修正前：表 31.40 通常モード 1 および 2 における A/D 変換特性 UM(JP)P713

表 31.40 通常モード 1 および 2 における A/D 変換特性

条件：2.4 V ≤ VREFH0 ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+105 °C

基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加

対象端子：AN000~AN007、AN021、AN022、内部基準電圧、および温度センサ出力電圧

項目	シンボル	Min	Typ	Max	単位	測定条件	
分解能	RES	8	—	12	ビット	—	
変換クロック	f <sub>AD</sub>	1	—	32	MHz	—	
総合誤差(注1)(注3)(注4)(注5)	分解能：12 ビット	AINL	—	—	±7.5	LSB	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±9.0	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±9.0	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
変換時間(注6)	分解能：12 ビット	t <sub>CONV</sub>	2.0	—	—	μs	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			2.0	—	—	μs	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			2.0	—	—	μs	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
ゼロスケール誤差(注1)(注2) (注3)(注4)(注5)	分解能：12 ビット	E <sub>ZS</sub>	—	—	±0.17	%FSR	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
フルスケール誤差(注1)(注2) (注3)(注4)(注5)	分解能：12 ビット	E <sub>FS</sub>	—	—	±0.17	%FSR	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
積分直線性誤差(注1)(注4)(注5)	分解能：12 ビット	ILE	—	—	±3.0	LSB	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±3.0	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±3.0	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
微分直線性誤差(注1)	分解能：12 ビット	DLE	—	±1.0	—	LSB	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±1.0	—	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±1.0	—	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
アナログ入力電圧	V <sub>AIN</sub>	0	—	VREFH0	V	—	

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. この値はフルスケール値に対する比率 (%FSR) を示します。

注 3. AN021 端子と AN022 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

総合誤差：最大値に±3 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.04%FSR を加える。

注 4. 基準電圧 (+) = VCC (ADREFP[1:0] = 00b) かつ基準電圧 (-) = VSS (ADREFM = 0b) のとき、最大値は以下のとおりです。

総合誤差：最大値に±10 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.25%FSR を加える。積分直線性誤差：最大値に±4 LSB を加える。

注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。

総合誤差／ゼロスケール誤差／フルスケール誤差：最大値に±0.75 LSB × (VCC - VREFH0) を加える。

積分直線性誤差：最大値に±0.2 LSB × (VCC - VREFH0) を加える。

注 6. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。したがって、これより長いサンプリング時間の標準モード 2 を使用してください。

修正後：表 31.40 通常モード 1 および 2 における A/D 変換特性 UM(JP)P713

表 31.40 通常モード 1 および 2 における A/D 変換特性

条件：2.4 V ≤ VREFH0 ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+105 °C

基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加

対象端子：AN000~AN007、AN021、AN022、内部基準電圧、および温度センサ出力電圧

項目	シンボル	Min	Typ	Max	単位	測定条件	
分解能	RES	8	—	12	ビット	—	
変換クロック	f <sub>AD</sub>	1	—	32	MHz	—	
総合誤差(注1)(注3)(注4)(注5) (注7)	分解能：12 ビット	AINL	—	—	±7.5	LSB	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±9.0	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±9.0	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
変換時間(注6)	分解能：12 ビット	t <sub>CONV</sub>	2.0	—	—	μs	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			2.0	—	—	μs	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			2.0	—	—	μs	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
ゼロスケール誤差(注1)(注2) (注3)(注4)(注5) (注7)	分解能：12 ビット	E <sub>ZS</sub>	—	—	±0.17	%FSR	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
フルスケール誤差(注1)(注2) (注3)(注4)(注5) (注7)	分解能：12 ビット	E <sub>FS</sub>	—	—	±0.17	%FSR	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
積分直線性誤差(注1)(注4)(注5) (注7)	分解能：12 ビット	ILE	—	—	±3.0	LSB	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±3.0	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±3.0	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
微分直線性誤差(注1)(注7)	分解能：12 ビット	DLE	—	±1.0	—	LSB	4.5 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±1.0	—	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±1.0	—	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
アナログ入力電圧	V <sub>AIN</sub>	0	—	VREFH0	V	—	

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. この値はフルスケール値に対する比率 (%FSR) を示します。

注 3. AN021 端子と AN022 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

総合誤差：最大値に±3 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.04%FSR を加える。

注 4. 基準電圧 (+) = VCC (ADREFP[1:0] = 00b) かつ基準電圧 (-) = VSS (ADREFM = 0b) のとき、最大値は以下のとおりです。

総合誤差：最大値に±10 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.25%FSR を加える。積分直線性誤差：最大値に±4 LSB を加える。

注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。

総合誤差／ゼロスケール誤差／フルスケール誤差：最大値に±0.75 LSB × (VCC - VREFH0) を加える。

積分直線性誤差：最大値に±0.2 LSB × (VCC - VREFH0) を加える。

注 6. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。したがって、これより長いサンプリング時間の標準モード 2 を使用してください。

注 7. 20 ピン TSSOP 製品の値は特性評価の結果であり、出荷時はチェックされません。

修正前：表 31.41 低電圧モード 1 および 2 における A/D 変換特性 (1) UM(JP)P714

表 31.41 低電圧モード 1 および 2 における A/D 変換特性 (1) (2/2)

条件：1.6 V ≤ VREFH0 ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+105 °C

基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加

対象端子：AN000~AN007、AN021、AN022、内部基準電圧(注 7)、および温度センサ出力電圧(注 7)

項目		シンボル	Min	Typ	Max	単位	測定条件
総合誤差(注1)(注3)(注4)(注5)	分解能：12ビット	AINL	—	—	±9	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±9	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±11.5	LSB	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±12.0	LSB	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
変換時間(注6)	分解能：12ビット	t <sub>CONV</sub>	3.3	—	—	μs	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			5.0	—	—	μs	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			10.0	—	—	μs	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			20.0	—	—	μs	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
ゼロスケール誤差(注1)(注2)(注3)(注4)(注5)	分解能：12ビット	E <sub>ZS</sub>	—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.27	%FSR	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.28	%FSR	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
フルスケール誤差(注1)(注2)(注3)(注4)(注5)	分解能：12ビット	E <sub>FS</sub>	—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.27	%FSR	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.28	%FSR	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
積分直線性誤差(注1)(注4)(注5)	分解能：12ビット	ILE	—	—	±4.0	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±4.0	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±4.5	LSB	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±4.5	LSB	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
微分直線性誤差(注1)	分解能：12ビット	DLE	—	±1.5	—	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±1.5	—	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±2.0	—	LSB	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±2.0	—	LSB	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
アナログ入力電圧		V <sub>AIN</sub>	0	—	VREFH0	V	—

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. この値はフルスケール値に対する比率 (%FSR) を示します。

注 3. AN021 端子と AN022 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

総合誤差：最大値に±3 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.04%FSR を加える。

注 4. 基準電圧 (+) = VCC (ADREFP[1:0] = 00b) かつ基準電圧 (-) = VSS (ADREFM = 0b) のとき、最大値は以下のとおりです。

総合誤差：最大値に±10 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.25%FSR を加える。

積分直線性誤差：最大値に±4 LSB を加える。

注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。

総合誤差／ゼロスケール誤差／フルスケール誤差：最大値に±0.75 LSB × (VCC - VREFH0) を加える。

積分直線性誤差：最大値に±0.2 LSB × (VCC - VREFH0) を加える。

注 6. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。したが

って、これより長いサンプリング時間の標準モード 2 と最高 16 MHz の変換クロック (fAD) を使用してください。

注 7. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

修正後：表 31.41 低電圧モード 1 および 2 における A/D 変換特性 (1) UM(JP)P714

表 31.41 低電圧モード 1 および 2 における A/D 変換特性 (1) (2/2)

条件：1.6 V ≤ VREFH0 ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+105 °C  
 基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加  
 対象端子：AN000~AN007、AN021、AN022、内部基準電圧(注 7)、および温度センサ出力電圧(注 7)

項目		シンボル	Min	Typ	Max	単位	測定条件
総合誤差(注1)(注3)(注4)(注5) (注8)	分解能：12 ビット	AINL	—	—	±9	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±9	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±11.5	LSB	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±12.0	LSB	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
変換時間(注6)	分解能：12 ビット	tCONV	3.3	—	—	μs	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			5.0	—	—	μs	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			10.0	—	—	μs	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			20.0	—	—	μs	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
ゼロスケール誤差(注1)(注2) (注3)(注4)(注5) (注8)	分解能：12 ビット	EzS	—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.27	%FSR	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.28	%FSR	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
フルスケール誤差(注1)(注2) (注3)(注4)(注5) (注8)	分解能：12 ビット	EFS	—	—	±0.21	%FSR	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.21	%FSR	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.27	%FSR	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±0.28	%FSR	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
積分直線性誤差(注1)(注4)(注5) (注8)	分解能：12 ビット	ILE	—	—	±4.0	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±4.0	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±4.5	LSB	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	—	±4.5	LSB	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
微分直線性誤差(注1)(注8)	分解能：12 ビット	DLE	—	±1.5	—	LSB	2.7 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±1.5	—	LSB	2.4 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±2.0	—	LSB	1.8 V ≤ VREFH0 = VCC ≤ 5.5 V
			—	±2.0	—	LSB	1.6 V ≤ VREFH0 = VCC ≤ 5.5 V
アナログ入力電圧		VAIN	0	—	VREFH0	V	—

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. この値はフルスケール値に対する比率 (%FSR) を示します。

注 3. AN021 端子と AN022 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

総合誤差：最大値に±3 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.04%FSR を加える。

注 4. 基準電圧 (+) = VCC (ADREFP[1:0] = 00b) かつ基準電圧 (-) = VSS (ADREFM = 0b) のとき、最大値は以下のとおりです。

総合誤差：最大値に±10 LSB を加える。

ゼロスケール誤差／フルスケール誤差：最大値に±0.25%FSR を加える。

積分直線性誤差：最大値に±4 LSB を加える。

注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。

総合誤差／ゼロスケール誤差／フルスケール誤差：最大値に±0.75 LSB × (VCC - VREFH0) を加える。

積分直線性誤差：最大値に $\pm 0.2 \text{ LSB} \times (\text{VCC} - \text{VREFH0})$ を加える。

注 6. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は  $5 \mu\text{s}$  以上である必要があります。したがって、これより長いサンプリング時間の標準モード 2 と最高 16 MHz の変換クロック ( $f_{\text{AD}}$ ) を使用してください。

注 7. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 8. 20 ピン TSSOP 製品の値は特性評価の結果であり、出荷時はチェックされません。

**修正前：表 31.42 低電圧モード 1 および 2 における A/D 変換特性 (2) UM(JP)P715**

表 31.42 低電圧モード 1 および 2 における A/D 変換特性 (2) (2/2)

条件： $1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$ ,  $\text{VSS} = 0 \text{ V}$ ,  $\text{Ta} = -40 \sim +105 \text{ }^\circ\text{C}$

基準電圧範囲を内部基準電圧 ( $\text{ADREFP}[1:0] = 10\text{b}$ ) および  $\text{VREFL0}$  ( $\text{ADREFM} = 1\text{b}$ ) に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
変換クロック	$f_{\text{AD}}$	1	—	2	MHz	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
ゼロスケール誤差(注1)(注2)(注4)	$E_{\text{ZS}}$	—	—	$\pm 0.6$	%FSR	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
積分直線性誤差(注1)(注4)	ILE	—	—	$\pm 2.0$	LSB	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
微分直線性誤差(注1)	DLE	—	$\pm 1.0$	—	LSB	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
アナログ入力電圧	$V_{\text{AIN}}$	0	—	$\text{VBGR}$ (注3)	V	—

注 1. この値には量子化誤差 ( $\pm 1/2 \text{ LSB}$ ) は含まれません。

注 2. この値はフルスケール値に対する比率 (%FSR) を示します。

注 3. 表 31.44 を参照してください。

注 4. 基準電圧 (-) に VSS を選択した場合の最大値は以下のとおりです。

ゼロスケール誤差：最大値に $\pm 0.35\% \text{ FSR}$ を加える。

積分直線性誤差：最大値に $\pm 0.5 \text{ LSB}$ を加える。

**修正後：表 31.42 低電圧モード 1 および 2 における A/D 変換特性 (2) UM(JP)P715**

表 31.42 低電圧モード 1 および 2 における A/D 変換特性 (2) (2/2)

条件： $1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$ ,  $\text{VSS} = 0 \text{ V}$ ,  $\text{Ta} = -40 \sim +105 \text{ }^\circ\text{C}$

基準電圧範囲を内部基準電圧 ( $\text{ADREFP}[1:0] = 10\text{b}$ ) および  $\text{VREFL0}$  ( $\text{ADREFM} = 1\text{b}$ ) に印加

項目	シンボル	Min	Typ	Max	単位	測定条件
変換クロック	$f_{\text{AD}}$	1	—	2	MHz	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
ゼロスケール誤差(注1)(注2)(注4)(注5)	$E_{\text{ZS}}$	—	—	$\pm 0.6$	%FSR	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
積分直線性誤差(注1)(注4)(注5)	ILE	—	—	$\pm 2.0$	LSB	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
微分直線性誤差(注1)(注5)	DLE	—	$\pm 1.0$	—	LSB	$1.8 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$
アナログ入力電圧	$V_{\text{AIN}}$	0	—	$\text{VBGR}$ (注3)	V	—

注 1. この値には量子化誤差 ( $\pm 1/2 \text{ LSB}$ ) は含まれません。

注 2. この値はフルスケール値に対する比率 (%FSR) を示します。

注 3. 表 31.44 を参照してください。

注 4. 基準電圧 (-) に VSS を選択した場合の最大値は以下のとおりです。

ゼロスケール誤差：最大値に $\pm 0.35\% \text{ FSR}$ を加える。

積分直線性誤差：最大値に $\pm 0.5 \text{ LSB}$ を加える。

注 5. 20 ピン TSSOP 製品の値は特性評価の結果であり、出荷時はチェックされません。