FemtoClock™3 产品系列

112G PAM-4 SERDES 抖动需求

摘要

使用瑞萨的超高性能时钟同步器来生成使用 112G PAM-4 的高速串行链路所需的参考时钟有许多优点，本文档解释了推导参考时钟抖动要求的方法，并概述了使用瑞萨 FemtoClock™3 系列低相位噪声频率时钟合成器和抖动衰减器用于此类系统的优点。

1. 引言

数据通信的世界在不断发展，不断开发新技术来提高数据传输的速度和效率， 我们看到了一些推动高速 SERDES 性能的趋势， 下面是一些例子:

- PCI Express® (PCIe®) 从传统开始发展到 16G 的 PCIe 4.0, 32G 的 PCIe 5.0，以及随着规范的发展支持 64G 的 PCIe 6.0。
- 不断提高性能要求的高性能云计算部门，着眼于 400G 甚至更远。
- 5G 无线基础设施，包括 O-RAN

但是这种新技术带来了新的挑战，设计高速 SERDES 的关键挑战之一是时钟分发(模拟时钟树)。 瑞萨 FemtoClock™3 器件是先进的高性能时钟频率合成器。 这些器件采用简单、低成本、基频石英晶体作为低频参考，合成了 RMS 相位噪声小于 75 fs、高达 1GHz 的高质量、低抖动的时钟信号。 RC3 系列还提供了抖动衰减模式以及网络同步，它可以接受噪声参考，仍然提供 100fs 的输出抖动; 同时使用低成本、基频温度补偿晶体振荡器(TCXO)作为参考，进行 ITU-T G.8262.1 增强型同步以太网设备时钟(eEEC)噪声滤波。

为了确保符合行业标准和最佳的系统性能，必须仔细设计和测试 112G PAM-4 SERDES 链路，以满足所需的抖动规格。 这还包括仔细注意系统布局、时钟和同步。

2. 编码方案

在我们研究 112G SERDES 的时钟抖动要求之前，让我们看看目前 SERDES 设计中广泛使用的两种编码方案:不归零编码(NRZ)和脉冲幅度调制。

2.1 不归零编码

传统的调制方法称为非归零编码(NRZ)，或也称为 2 级脉冲振幅调制(PAM-2)，它有两个电压电平表示逻辑“0”和逻辑“1”。 电压水平在比特间隔内保持恒定，因此在每个单位间隔内都有一个眼睛；符号等于位。 NRZ 广泛应用于 56G 以下的应用。 在 56Gbps 时，奈奎斯特频率为 56G/2=28Ghz。

在 NRZ 中，数据流 0011-0010-0011 编码如下:

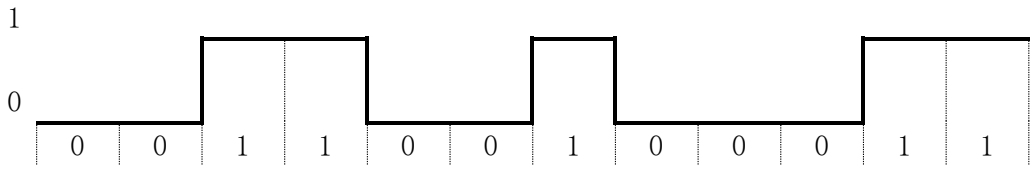

图 1. NRZ 数据流使用实例

2.2 4 级脉冲振幅调制

4 级脉冲振幅调制(PAM-4)方法有四个电压电平，分别表示逻辑“00”、“01”、“10”和“11”。 电压水平通过比特对间隔保持恒定，因此在每个单位间隔中有一个眼睛；符号等于位对。 PAM-4 广泛应用于 56G 及以上的应用。 在 56Gbps PAM-4 时，奈奎斯特频率为 56 / 4 = 14GHz。

在 PAM-4 中，与 NRZ 相比，相同的数据流 0011-0010-0011 将在一半的周期内完成编码:

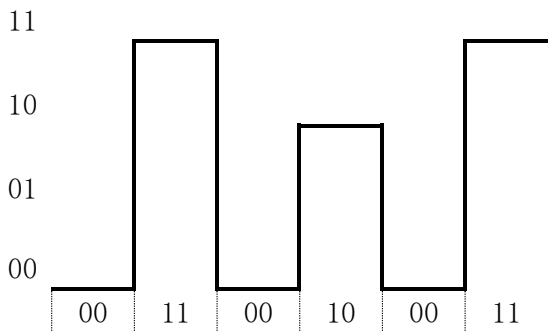

图 2. PAM-4 数据流使用实例

2.3 为什么 PAM-4 用于高速 SERDES

PAM-4 由于较高频率的信道损耗而获得关注。 与 NRZ 相比，PAM-4 的信噪比约为 9.5dB，但在检测插入损耗时具有巨大的优势。 一种设计所能承受且仍能正确工作的损耗量决定了它对信道长度、封装、信道材料质量、噪声、返回、串扰等的容差。例如，为了兼容 56G 的以太网标准(IEEE 802.3)， 14GHz 的插入损耗为 33.35dB。 使用 NRZ 的 56G 需要 28GHz 的时钟，插入损耗约为 62dB。

同样重要的是，112G PAM-4 SERDES 必须满足所有相关的行业标准和规范，如光互联论坛(OIF)和电气与电子工程师协会(IEEE)。

- IEEE 802.3ck, IEEE 802.3cu, IEEE 802.3df 和 IEEE 802.3dj 描述了使用 PAM-4 编码方案在高达 1.6 T 以太网上多通道系统，每通道支持速率 100 Gbps， 支持多种传输介质，可实现 100gb /s、200gb /s、400gb /s、800gb /s 和 1.6 Tb/s 操作。
- 类似地，OIF CEI-112G 描述了从多芯片模块(MCM)到光网络的 112 Gbps 数据传输，通过不同的迹线和电缆长度，其中 PAM4 调制方案成为主流。

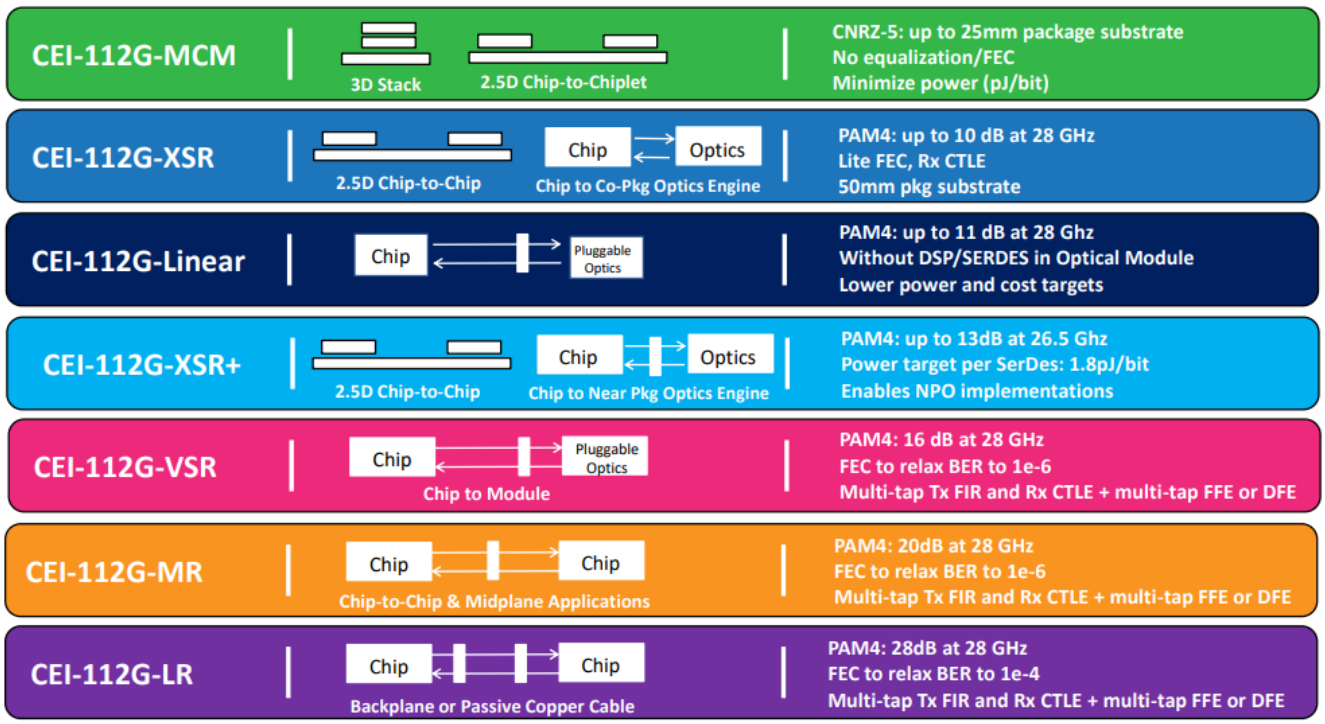

图 3. OIF CEI-112G 开发应用空间

(来源: OIF_CEI-112G_Demo_OFC2022_presentation)

NRZ 更容易设计，与 4 级 PAM (PAM-4)相比，它有~9.5dB 更好的信噪比(SNR)。 NRZ 通常比 PAM-4 使用更少的功耗。 然而，对于较高的采样率，如 112G，要获得合理的插入损耗，使用 PAM-4 是有意义的，即使设计更具挑战性。 撇开挑战不谈，随着速率走高，NRZ 成为一个不那么可取的选择。

需要注意的是，这些最大允许抖动值通常是根据系统的具体应用和操作条件定义的，并且可能会根据电缆长度、信号振幅和温度等因素而变化。 112G SERDES PAM-4 链路的允许抖动通常由相同的行业标准组织指定。 此外，特定系统的实际允许抖动值也可能取决于系统设计者或最终用户的要求。

3. 确定性抖动

与传统的 NRZ 相比，PAM-4 信令对噪声、抖动、串扰和非线性等信道损伤更敏感。 抖动是一种信号失真，在信号的时间波动时发生，导致数据传输中的错误。 在 112G PAM-4 SERDES 的情况下，抖动会对系统性能产生重大影响，因此必须解决抖动需求问题，以确保最佳性能。

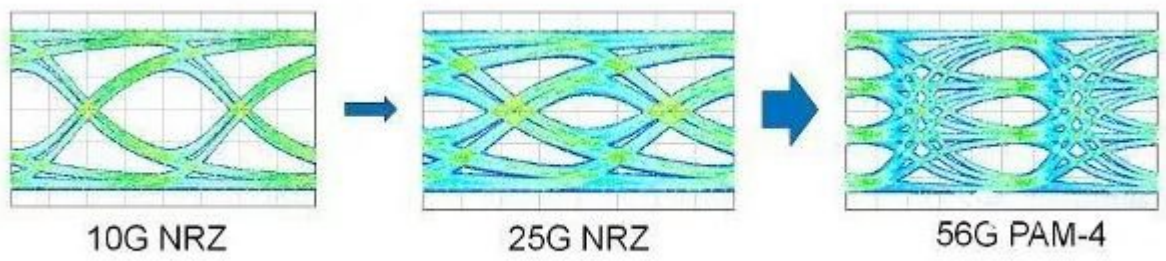

图 4. NRZ vs PAM-4 眼图

(来源: Fibre Mall PAM4 Signal Article)

SERDES 发射端通常是确定性抖动的来源。 因此，具有非常低的传输随机抖动(对于 112G 操作通常不超过 100fs)是必不可少的。 严格的 112G PHY 干扰容限/抖动容限(ITOL/JTOL)要求对信号完整性提出了挑战。 例如，112G PAM-4 在 2 公里后的眼图，如图 5 所示。

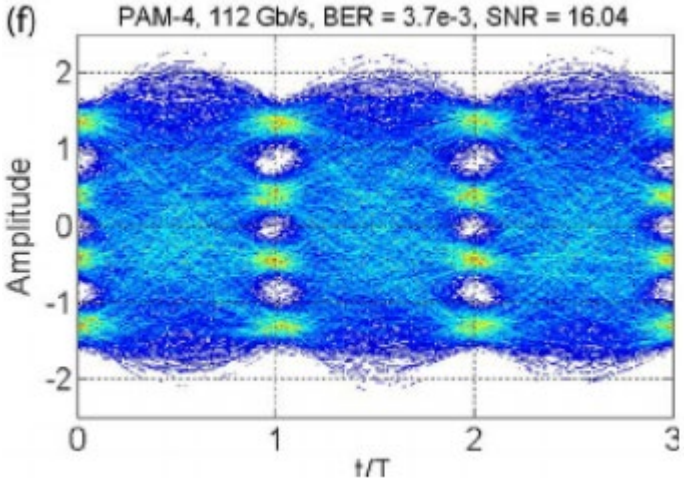

图 5. PAM-4 2 公里后眼图

（来源: IEEE Photonics Society Article on 112-Gb/s Transmission System）

当从 50G 输入通道到 100G 输出通道时，需要一个去抖动函数。 这是因为 100G 通道输出抖动对特定频率的要求是 50G 时峰间值的一半。

3.1 112G PAM-4 链路的时钟要求

串行链路中允许的总体抖动由适用的标准规定，如 IEEE 或 OIF。 以 800GAUI-8 为例，最大传输抖动(RMS)应不大于 0.023 * UI，其中 1 UI 为 53.125G 的周期(0.023RMS 将转换为 0.23-0.25 p-p，即眼睛的 25%)。 对于总体允许的传输抖动，这相当于 433 fs RMS。 根据不同的迹线和电缆长度，表 1 列出了 112G PAM-4 链路所需的参考时钟。

表 1. 发射端输出抖动

接口	波特率	发射端输出抖动	描述
CEI-112G-XSR-PAM4	Between 36 Gsym/s and 58 Gsym/s	0.0224*UI (RMS)	来自OIF-CEI-05.1，第24节“CEI-112G-XSR-PAM4超短到达接口”
CEI-112G-MR-PAM4		0.023*UI (RMS)	来自OIF-CEI-05.1，第26节“CEI-112G-MR-PAM4中距接口”和第27节“CEI-112G-LR-PAM4长距接口”
CEI-112G-LR-PAM4			
IEEE 802.3ck	25.78125 or 26.5625 GBd	0.023*UI (RMS)	从IEEE Std 802.3ck™ - 2022,IEEE Std 802.3cu™ - 2021,IEEE P802.3df™ /D2.0
IEEE 802.3cu	26.5625 or 53.125 GBd		
IEEE 802.3df (800GAUI-8)	53.125 GBd		

然而，整个允许的传输抖动只有一部分分配给参考时钟。 例如，多个具有 112G PAM-4 SERDES 的开关 ASIC 供应商要求在 12 kHz 至 20 MHz 频段上的最大参考时钟抖动为 100 fs RMS。此参考时钟要求基于将总 RMS 抖动预算的

高达 20% 分配给参考时钟。确定 $T_{j-refclk}$ 的公式为 sqrt(T_{total}^2 - T_{j-tx}^2)。 20% 预算公式可简化为发射机输出抖动 (RMS) 除以 sqrt(5)。 表 2 列出了 112G PAM-4 链路随机抖动所需的最小参考时钟。

表 2. 112G 参考时钟要求

接口	参考时钟	描述
高频不相关无界高斯抖动	0.009*UI (RMS)	这会将允许的总传输抖动的大约 15% 分配给参考时钟。 UI 仍处于波特率期间 (53.125 GBd)。参考时钟一般设置为波特率的1/64。然而大多数112G SERDES 或Switch ASIC使用312.5 MHz作为参考时钟
单边带相位噪声	-131 dBc/Hz	@ 10kHz偏移
	-137 dBc/Hz	@ 100kHz偏移
	-143 dBc/Hz	@ 1MHz偏移
	-158 dBc/Hz	@ ≥10MHz偏移

3.2 112G 时钟与瑞萨 FemtoClock™3

FemtoClock™3 系列设备是超高性能的时钟发生器，抖动清除器和时钟同步器。 RC3 系列具有先进的参考时钟选择和 hitless 功能，以满足严格的 ITU-T 通信基础设施应用的要求。 这些器件的超低抖动性能最大限度地减少了涉及高速串行链路的应用中的误码率(BER)，例如 112G PAM-4 SERDES。

FemtoClock™3 具有单通道同步器，可以同步到四个差分或单端参考时钟输入中的一个。 同步器配有模拟锁相环 (APLL)域，该域具有瑞萨公司的新一代超低相位噪声 VCO，并在 12 kHz 至 20 MHz 频段为 312.5 MHz 输出产生<60 fs rms 的典型抖动; 两者都超过了标准和 switch 专用集成电路中规定的 112G PAM-4 参考时钟需求。

图 6 显示了 APLL 输出的 312.5 MHz LVPECL 的相位噪声图。 还有额外的 FOD 域可用于生成不相关的频率，可以锁定到参考时钟输入或自由运行的 XO 输入，并生成<120 fs, rms 典型抖动。 FemtoClock™3 可以产生多达 12 个高性能输出时钟与多达 4 个不同的频率。

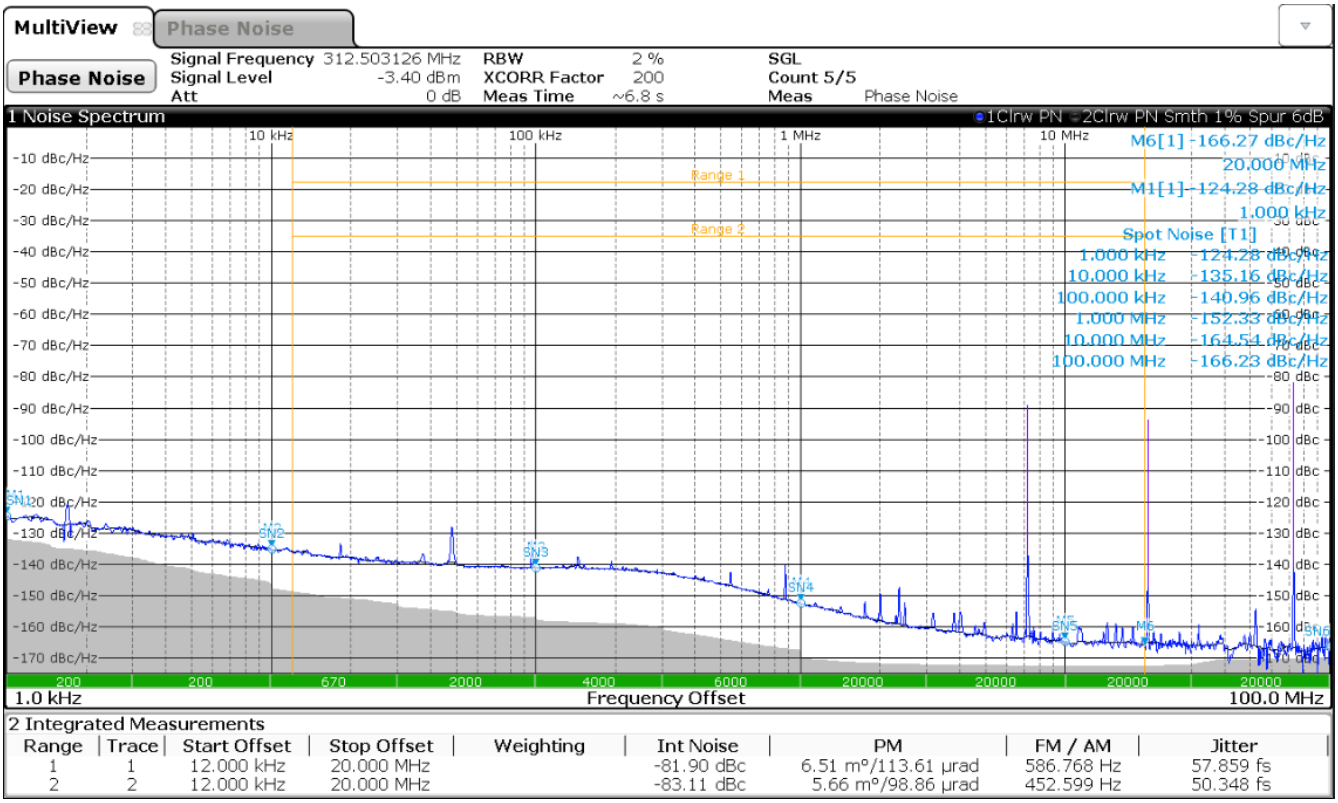

图 6. 312.5 MHz 相位噪声

3.2.1. 优势

FemtoClock™3 是唯一的时钟合成器解决方案，在产生超低抖动(<60 fs rms)参考时钟时，满足所有偏移量的 112G 规格，具有最大的裕度。 FemtoClock™3 具有多达 4 个独立频域、改进的 EMI、低功耗以及具有卓越 PSRR 的集成 LDO，简化了 112G SERDES 应用的 PCB 布局。

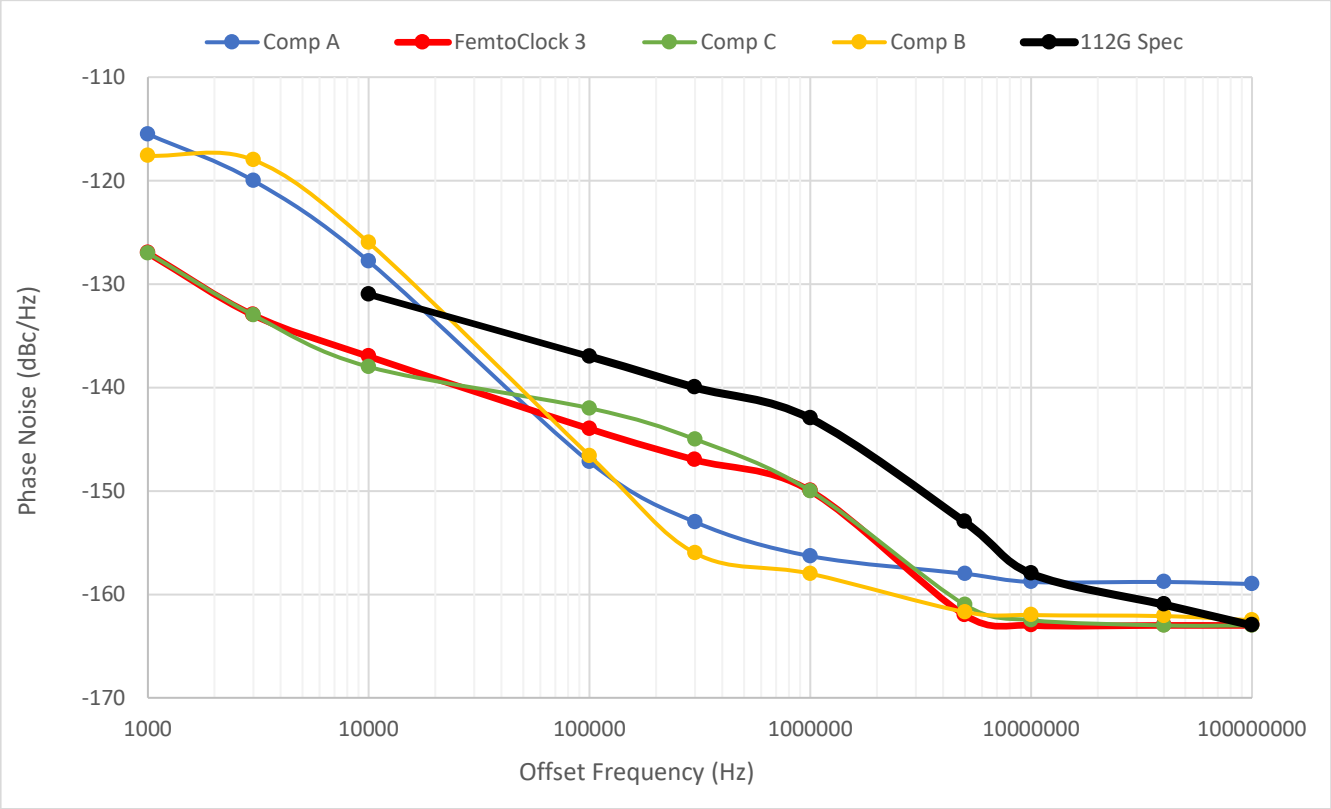

图 7. FemtoClock™3 vs 竞品 – 312.5 MHz 相位噪声

此外，它符合 ITU-T G.8262 同步以太网和 G.8262.1 增强型同步以太网，在使用低频 TCXO (< 20MHz)时没有抖动恶化，使其成为使用 112G SERDES 技术的最新 5G 基础设施设备的理想选择。

4. 总结

112G PAM-4 SERDES 代表了数据通信领域的重大进步，为跨网络更快、更有效地传输数据提供了潜力。 然而，为了确保最佳性能，必须解决抖动需求问题，包括低抖动容差、精确定时同步、先进的信号处理、高速测试以及符合行业标准。 瑞萨的超高性能时钟同步器，如 FemtoClock™3 系列产品，可以超越本白皮书中概述的高速串行链路系统的整体性能。

RC32312 的超低抖动，加上支持同步和频率裕度等功能，简化了整个系统的开发。 通过满足这些需求，设计人员和工程师可以确保 112G PAM-4 SERDES 以最佳性能运行，为广泛的应用提供可靠和高效的通信。

参考文献

- https://www.chipestimate.com/Understanding-the-high-speed-SerDes-solution-space-10G-112G/Cadence/Technical-Article/2020/06/30
- https://www.renesas.com/products/clocks-timing/femtoclock-low-phase-noise-frequency-synthesizers

瑞萨电子株式会社及其关联公司（以下简称“瑞萨”）的技术规范和可靠性数据（包括数据手册）、设计资源（包括参考设计）、应用或其他设计建议、Web 工具、安全信息以及其他资源“按原样”提供，不保证无瑕疵。瑞萨不做任何明示或暗示保证，包括但不限于产品适销性、特定用途适合性或不侵犯第三方知识产权的保证。

这些资源的适用对象为使用瑞萨产品熟练进行设计的开发人员。以下事宜请自行负责：(1)为您的应用选择合适的产品，(2)设计、验证和测试您的应用，(3)确保您的应用符合适用标准以及安全性等所有其他要求。这些资源如有更改，恕不另行通知。瑞萨仅授权您将这些资源用于开发采用瑞萨产品的应用。严禁复制这些资源或用于其他用途。我们未授予任何其他瑞萨知识产权或任何第三方知识产权的许可。

瑞萨对因使用这些资源而产生的任何索赔、损害、成本、损失或负债概不负责，且瑞萨及其代表的全部损失须由您赔偿。瑞萨的产品仅遵守瑞萨的销售通用条款和条件，或书面签订的其他适用条款。使用瑞萨的任何资源不会扩大或更改这些产品的任何适用保修或保修免责声明。

(Rev.1.0 Mar 2020)

公司总部

135-0061, 日本东京江东区

豊洲 3-2-24, TOYOSU FORESIA

https://www.renesas.com

联系信息

有关产品、技术的更多信息，文档的最新版本，或

离您最近的销售办公室，请访问：

https://www.renesas.com/contact-us

商标

瑞萨电子的名称和徽标是瑞萨电子公司的商标。 所有商

标和注册商标均为其各自合法所有者的财产。

© 2024 Renesas Electronics Corporation. All rights reserved.
Doc Number: R31WP0004CC0100